

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-036889

(43)Date of publication of application : 06.02.1996

(51)Int.Cl. G11C 16/02
G11C 16/04
G11C 16/06
H01L 27/115
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 06-171405

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 22.07.1994

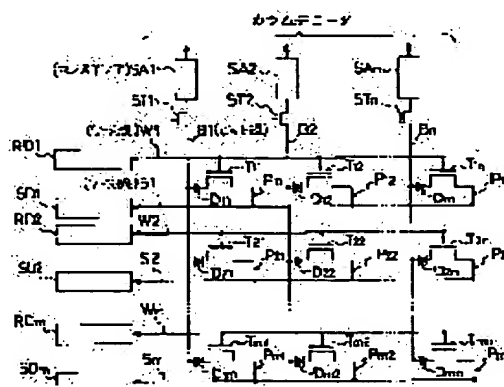
(72)Inventor : KOTAKE YOSHINORI
ASAI AKIRA
OKUDA YASUSHI
MORI TOSHIKI
NAKAO ICHIRO

(54) SEMICONDUCTOR MEMORY AND ITS DRIVING METHOD

(57)Abstract:

PURPOSE: To prevent mis-read-out and to reduce power consumption in a semiconductor memory in which a non-volatile memory cell is mounted.

CONSTITUTION: Transistors T consisting of gates, sources, and drains, non-volatile memory cells (T11-Tmn) having capacity sections are arranged in a matrix state in Narray. A different direction resistor section having a different voltage to current characteristic depending on high voltage or low voltage impressed to both ends, for example, diodes D11-Dmn are provided at least one part of each path from bit lines B1-Bn to sources S1-Sm through each transistor T11-Tmn. Thereby, at the time of read-out of a memory cell, a leak current occurring in a non-selection memory cell is reduced, or occurrence of a leak current is obstructed, and mis-read-out caused by a leak current is prevented. At the same time, power consumption also is reduced.



LEGAL STATUS

[Date of request for examination] 21.05.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3197158

[Date of registration] 08.06.2001

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-36889

(43)公開日 平成8年(1996)2月6日

(51)Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 16/02

16/04

16/06

C22-24

G 1 1 C 17/ 00

3 0 7 D

5 1 0 A C22-24

審査請求 未請求 請求項の数24 O L (全 51 頁) 最終頁に続く

(21)出願番号 特願平6-171405

(22)出願日 平成6年(1994)7月22日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 小竹 義則

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 浅井 明

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 奥田 寧

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 前田 弘 (外2名)

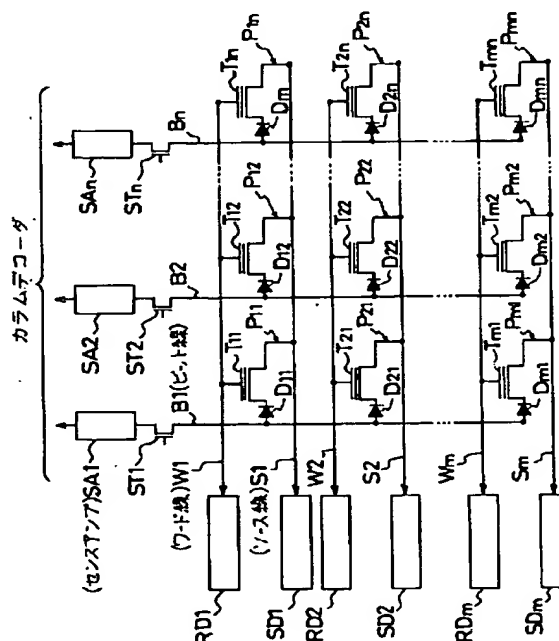
最終頁に続く

(54)【発明の名称】 半導体記憶装置及びその駆動方法

(57)【要約】

【目的】 不揮発性メモリセルを搭載した半導体記憶装置において、誤読み出しを防止し、消費電力を低減する。

【構成】 アレイに、ゲート、ソース、ドレインからなるトランジスタTと容量部とを有する不揮発性メモリセル(T11~Tmn)を行列状に配置する。ビット線B1~Bnから各トランジスタT11~Tmnを経てソース線S1~Smに至る各経路の少なくとも一部位に、両端に印加される電圧の高低によって異なる電圧-電流特性を有する異方向抵抗部例えばダイオードD11~Dmnを介設する。これにより、メモリセルの読み出し時に、非選択メモリセルに生じるリーク電流を低減しあるいはその発生を阻止し、リーク電流に起因する誤読み出しを防止する。同時に、消費電力も低減できる。



【特許請求の範囲】

【請求項1】 少なくともゲート、ソース、ドレインからなるトランジスタと容量部とを有する不揮発性メモリセルを行列状に配列してなるアレイト、
 上記アレイトの行方向に配置された各トランジスタのゲートに接続される複数のワード線と、
 上記アレイトの列方向に配置された各トランジスタのドレインに接続される複数のビット線と、
 上記アレイトの行方向に配置された各トランジスタのソースに接続される複数のソース線と、
 上記ワード線を選択するためのデコーダ回路と、
 上記ビット線を選択するためのデコーダ回路と、
 上記ソース線を選択するためのデコーダ回路と、
 上記ビット線から各トランジスタを経て上記ソース線に至る各経路の少なくとも一部位に介設され、両端に印加される電圧の高低によって異なる電圧-電流特性を示し、電流が流れやすい順方向と電流が流れにくい逆方向とを有する異方向抵抗部とを備えたことを特徴とする半導体記憶装置。

【請求項2】 請求項1記載の半導体記憶装置において、
 上記異方向抵抗部は、一方向のみの電流の流通を許容するダイオードであることを特徴とする半導体装置記憶装置。

【請求項3】 請求項2記載の半導体記憶装置において、
 上記ダイオードは、上記各トランジスタのソース及びドレインのうちいずれか一方を構成する半導体基板の領域の表面上に直接導電膜を堆積して形成されたショットキーダイオードであることを特徴とする半導体記憶装置。

【請求項4】 請求項2記載の半導体記憶装置において、
 上記ダイオードは、上記各トランジスタのソース及びドレインのうちいずれか一方を構成する半導体基板内の領域と半導体基板のコンタクト領域との間で形成されるPNダイオードであることを特徴とする半導体記憶装置。

【請求項5】 請求項1記載の半導体記憶装置において、
 上記異方向抵抗部は、各トランジスタの構造の内部に形成されていることを特徴とする半導体記憶装置。

【請求項6】 請求項5記載の半導体記憶装置において、
 上記異方向抵抗部は、各トランジスタのソース、ドレインの空乏層の拡がり非対称にすることで形成されていることを特徴とする半導体記憶装置。

【請求項7】 請求項6記載の半導体記憶装置において、
 上記異方向抵抗部は、各トランジスタのソース及びドレインのうちいずれか一方に上記半導体基板と同じ導電型で上記半導体基板よりも不純物濃度が高濃度の領域をド

レイン又はソースのゲート方向の拡散長よりも深くゲート方向に設けることで形成されていることを特徴とする半導体記憶装置。

【請求項8】 請求項6記載の半導体記憶装置において、
 上記異方向抵抗部は、各トランジスタのソース及びドレインのうちいずれか一方とゲート下方のチャネル領域との間にチャネル領域と同じ導電型の不純物を導入してなるオフセット領域であることを特徴とする半導体記憶装置。

【請求項9】 請求項1, 2, 3, 4, 5, 6, 7又は8記載の半導体記憶装置において、
 上記各メモリセルのうち各1対のメモリセルのドレインが共通のビット線に接続されていることを特徴とする半導体記憶装置。

【請求項10】 請求項9記載の半導体記憶装置において、
 上記各1対のメモリセルが列方向に1つおきに配置されてチェッカー模様の行列状に配列されたアレイト構造が構成され、

上記2本のワード線に対して1本の割合でソース線が配置され、上記各1つのソース線に隣接する2つのワード線に接続されるメモリセルのソースが、上記各1つのソース線に共通に接続されていることを特徴とする半導体記憶装置。

【請求項11】 1, 2, 3, 4, 5, 6, 7又は8記載の半導体記憶装置において、
 リファレンス電位を要するセンスアンプと、
 上記ビット線にリファレンス用のダミーセルとを備え、
 互いに隣接するビット線の一つで上記リファレンス電位を生成することを特徴とする半導体記憶装置。

【請求項12】 請求項11記載の半導体記憶装置において、
 上記各メモリセルのうち各1対のメモリセルのドレインが共通のビット線に接続されていることを特徴とする半導体記憶装置。

【請求項13】 請求項12記載の半導体記憶装置において、
 上記各1対のメモリセルが列方向に1つおきに配置されてチェッカー模様の行列状に配列されたアレイト構造が構成されていることを特徴とする半導体記憶装置。

【請求項14】 請求項9, 10, 11, 12又は13記載の半導体記憶装置において、
 上記メモリセルのフローティングゲートがメモリセルのゲート幅方向に対して非対称形であり、活性領域の長辺方向に直線状に形成されていることを特徴とする半導体記憶装置。

【請求項15】 少なくともゲート、ソース、ドレインからなるトランジスタと容量部とを有する不揮発性メモリセルを行列状に配列してなるアレイト、上記アレイトの

行方向に配置された各トランジスタのゲートに接続される複数のワード線と、上記アレイの列方向に配置された各トランジスタのドレインに接続される複数のビット線と、上記アレイの行方向に配置された各トランジスタのソースに接続される複数のソース線と、上記ワード線を選択するためのデコーダ回路と、上記ビット線を選択するためのデコーダ回路と、上記ソース線を選択するためのデコーダ回路と、上記ビット線から各トランジスタを経て上記ソース線に至る各経路の少なくとも一部位に介設され、両端に印加される電圧の高低によって異なる電圧-電流特性を示し、電流が流れやすい順方向と電流が流れにくい逆方向とを有する異方向抵抗部とを備えた半導体記憶装置の駆動方法であって、

データー読み出しを所望するメモリセルに接続されているワード線を上記ロウデコーダ回路で選択し、

上記メモリセルに接続されているビット線を上記カラムデコーダ回路で選択し、

上記メモリセルに接続されているソース線を上記ソースデコーダ回路で選択し、

上記選択ビット線及び選択ソース線の電位を、両者の電位関係がメモリセルの異方向抵抗部の順方向に一致するように、かつ高電位側を読み出し用電位に設定し、

非選択ソース線の電位を上記選択ビット線及び選択ソース線の低電位側の電位以上でかつ上記読み出し電位以下に設定することを特徴とする半導体記憶装置の駆動方法。

【請求項16】 請求項15記載の半導体記憶装置の駆動方法において、

上記非選択ソース線及び非選択ビット線の電位のうち低電位側の電位を接地電位に設定することを特徴とする半導体記憶装置の駆動方法。

【請求項17】 請求項15又は16記載の半導体記憶装置の駆動方法において、

上記選択ワード線に接続されるすべてのメモリセルに接続されるすべてのビット線を選択ビット線とし、

上記選択ワード線に接続された全てのメモリセルを一括で読み出すことを特徴とする半導体記憶装置の駆動方法。

【請求項18】 請求項15又は16記載の半導体記憶装置の駆動方法において、

上記各メモリセルのうち各1対のメモリセルのドレインが共通のビット線に接続されており、

隣接する2本のビット線を選択して、2ビット単位で読み出すことを特徴とする半導体記憶装置の駆動方法。

【請求項19】 請求項15又は16記載の半導体記憶装置の駆動方法において、

半導体記憶装置は、リファレンス電位を要するセンスアンプと、上記ビット線にリファレンス用のダミーセルとを備え、互いに隣接するビット線的一方で上記リファレンス電位を生成するように構成されており、

上記選択ビット線に隣接しているビット線に接続されているダミーメモリメモリセルを選択し、

非選択ビット線のうち選択ビット線と隣接するビット線の電位を上記選択ビット線の電位と同じ電位にし、

上記選択ダミーセルに接続されるビット線及びソース線の電位関係がダミーセルの異方向抵抗部の順方向になるように選択ダミーセルに接続されるソース線の電位を設定し、

上記隣接するビット線にリファレンス電位を生成することを特徴とする半導体記憶装置の駆動方法。

【請求項20】 請求項19記載の半導体記憶装置の駆動方法において、

上記選択ワード線に接続された全てのメモリセルに接続されているビット線を選択ビット線とし、

上記全ての選択ビット線に隣接するビット線に接続されているダミーメモリメモリセルを選択し、

上記全ての選択ビット線の電位及び上記選択ビット線に隣接するビット線の電位を読み出し電位にし、

上記全ての選択ビット線に隣接する非選択ビット線に接続されているダミーメモリメモリセルに接続されているソース線電位を接地電位にし、

非選択ソース線の電位を接地電位以上で且つ上記ビット線に設定した電位以下に設定し、

上記非選択ビット線にリファレンス電位を生成して上記選択ワード線に接続された全てのメモリセルを一括で読み出すことを特徴とする半導体記憶装置の駆動方法。

【請求項21】 15、16、17、18、19又は20記載の半導体記憶装置の駆動方法において、

すべてのワード線電位を接地電位にすることを特徴とする半導体記憶装置の駆動方法。

【請求項22】 少なくともゲート、ソース、ドレインからなるトランジスタと容量部とを有する不揮発性メモリセルを行列状に配列してなるアレイと、上記アレイの行方向に配置された各トランジスタのゲートに接続される複数のワード線と、上記アレイの列方向に配置された各トランジスタのドレインに接続される複数のビット線と、上記アレイの行方向に配置された各トランジスタのソースに接続される複数のソース線と、上記ワード線を選択するためのデコーダ回路と、上記ビット線を選択するためのデコーダ回路と、上記ソース線を選択するためのデコーダ回路と、上記ビット線から各トランジスタを経て上記ソース線に至る各経路の少なくとも一部位に介設され、両端に印加される電圧の高低によって異なる電圧-電流特性を示し、電流が流れやすい順方向と電流が流れにくい逆方向とを有する異方向抵抗部とを備え、異方向抵抗部の順方向をビット線側が高電位になるように形成してなる半導体記憶装置の駆動方法であって、

消去状態のメモリセルのしきい値電圧を負に設定し、

データー書き込みを所望するメモリセルに接続されているビット線を上記カラムデコーダ回路で選択し、

上記メモリセルに接続されているソース線を上記ソースデコーダ回路で選択し、
全てのワード線電位を接地電位にし、
上記選択ビット線を高電位にし、
選択ソース線の電位を接地電位にし、
非選択ビット線を接地電位にし、
上記選択ビット線-選択ソース線間に電流を流すことによりホットエレクトロンを発生させて上記所望するメモリセルのしきい値電圧を高く変化させることを特徴とする半導体記憶装置の駆動方法。

【請求項23】 少なくともゲート、ソース、ドレインからなるトランジスタと容量部とを有する不揮発性メモリセルを行列状に配列してなるアレイと、上記アレイの行方向に配置された各トランジスタのゲートに接続される複数のワード線と、上記アレイの列方向に配置された各トランジスタのドレインに接続される複数のビット線と、上記アレイの行方向に配置された各トランジスタのソースに接続される複数のソース線と、上記ワード線を選択するためのデコーダ回路と、上記ビット線を選択するためのデコーダ回路と、上記ソース線を選択するためのデコーダ回路と、上記ビット線から各トランジスタを経て上記ソース線に至る各経路の少なくとも一部位に介設され、両端に印加される電圧の高低によって異なる電圧-電流特性を示し、電流が流れやすい順方向と電流が流れにくい逆方向とを有する異方向抵抗部とを備え、異方向抵抗部の順方向をソース線側が高電位になるように形成してなる半導体記憶装置の駆動方法であって、
データ書き込みを所望するメモリセルに接続されているワード線を上記ロウデコーダ回路で選択し、
上記メモリセルに接続されているビット線を上記カラムデコーダ回路で選択し、
上記メモリセルに接続されているソース線を上記ソースデコーダ回路で選択し上記選択したワード線に高電位を印加し、
上記選択ソース線の電位を高電位にし、
上記選択ソース線の電位を接地電位にし、
非選択ビット線に高電位を印加し、
上記選択ビット線-選択ソース線間に電流を流すことによりホットエレクトロンを発生させて上記所望するメモリセルのしきい値電圧を高く変化させることを特徴とする半導体記憶装置の駆動方法。

【請求項24】 請求項23記載の半導体記憶装置の駆動方法において、消去状態のメモリセルのしきい値電圧を負に設定し、上記全てのワード線電位を接地電位にすることを特徴とする請求項24に記載の半導体記憶装置の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、不揮発性メモリとして機能する複数のメモリセルからなるアレイ構造を有する

半導体記憶装置及びその駆動方法に関するものである。
【0002】

【従来の技術】 従来より、不揮発性メモリセルを搭載した半導体記憶装置として、例えば特開平5-28778号公報や特開平4-15953号公報に開示されるごとく、不揮発性メモリセルを構成するメモリセルのソースに接続されるソース線にもソースデコーダを接続するようにしたものがある。以下、図31～図33を参照しながら、従来の不揮発性メモリセルを搭載した半導体記憶装置について説明する。図31は従来の半導体記憶装置のブロック回路図である。101はメモリセルアレイ、102はロウデコーダ回路、103はカラムデコーダ回路、104はソースデコーダ回路である。図32は従来の半導体記憶装置のメモリセルアレイ101の一部を示す回路図である。ここで、T11～Tmnは不揮発性メモリセルに内蔵されるトランジスタ、W1～Wmはワード線、B1～Bnはビット線、S1～Smはソース線、ST1～STnは列選択用トランジスタである。図31に示すように、各トランジスタT11～Tmnは、ソース、ドレイン及びゲートからなり、このトランジスタT11～Tmnのゲート下方に容量部（フローティングゲート）が配置されて、不揮発性メモリセルが構成されている。そして、メモリセルアレイ101は、各トランジスタT11～Tmnを内蔵するメモリセルをm行n列の行列状に配置して構成されている。そして、第1行に配置されたトランジスタT11～T1nのゲートはワード線W1に、第2行に配置されたトランジスタT21～T2nのゲートはワード線W2に、第m行に配置されたトランジスタTm1～Tmnのゲートはワード線Wmにそれぞれ接続されている。また、第1行に配置されたトランジスタT11～T1nのソースはソース線S1に、第2行に配置されたトランジスタT21～T2nのソースはソース線S2に、第m行に配置されたトランジスタTm1～Tmnのソースはソース線Smにそれぞれ接続されている。さらに、第1列に配置されたトランジスタT11～Tm1のドレインはビット線B1に、第2列に配置されたトランジスタT12～Tm2のドレインはビット線B2に、第n列に配置されたトランジスタT1n～Tmnのドレインはビット線Bnにそれぞれ接続されている。すなわち、ワード線W1～Wmとビット線B1～Bnの交点にトランジスタを配置するNOR型の構成である。ここで、ワード線W1～Wmとソース線S1～Smは同じ方向に延びて、ワード線W1～Wmはロウデコーダ回路102の各ロウデコーダLD1～LDmに、ソース線S1～Smはソースデコーダ回路104のソースデコーダSD1～SDmに接続される一方、ビット線B1～Bnは上記ワード線W1～Wm及びソース線S1～Smとは直交する方向に延びてセンスアンプSA1～SANを介してカラムデコーダ回路103に接続される。そして、後述のように、各ビット線B1～Bnの一部位から各トランジスタT11～Tmnを経て各ソース

線S1～Smに至る経路P11～Pmには、ゲートの電位がしきい値以上でドレインソース間の電位が所定値以上のときに、容量部のメモリ状態が“0”であれば電流が流れ、容量部のメモリ状態が“1”のときには電流が流れなくなっている。

【0003】次に、図33を参照しながら、従来の半導体記憶装置のデータ読み出し方法について説明する。EEPROMに代表される半導体記憶装置ではトランジスタのしきい値を電氣的に大きく変化させることで書き込みと消去が行なわれる。一般には、トランジスタが読み出し電源電圧Vccより高しきい値電圧にある状態を“1”状態、トランジスタが読み出し電源電圧Vccより低しきい値電圧にある状態を“0”状態と言い、以後そう呼ぶことにする。

【0004】例えばトランジスタT22を内蔵するメモリセル（以下、メモリセル（T22）と記述する）を読み出す場合について従来の読み出し方法を説明する。まず、選択ワード線W2を読み出し電源電圧Vcc（例えば5V）にし、非選択ワード線W1、Wmを接地電位Vss（例えば0V）にする。同時に選択ソース線S2を接地電位Vssにし、非選択ソース線S1、Smを読み出し中間電位Vrm（例えば1V）又はVrmに保ったままフローティングにする。また、選択ビット線B2をセンスアンプを介してVrmにし、非選択ビット線B1、Bnを接地電位Vssに、あるいは接地電位Vssに保ったままフローティングにする。実際には、ビット線にはセンスアンプが接続されているため、ビット線の電位はVrmから僅かに変動するが、ここでは説明を簡単にするために一定の電圧であるとする。また、非選択ソース線と非選択ビット線をフローティングにする場合もあったが、簡単のために、非選択ソース線は読み出し中間電位Vrm、非選択ビット線は接地電位Vssとする。メモリセル（T22）が“1”状態ならばメモリセル（T22）は電流を流さず、ビット線B2には電流が流れない。メモリセル（T22）が“0”状態ならばビット線B2からメモリセル（T22）を通してソース線S2に電流が流れる。ビット線B2の電流の有無をセンスアンプで検知することでデータが読み出される。従来の不揮発性メモリセルを搭載した半導体記憶装置では、例えば図33に示すようにメモリセル（T22）と同じビット線B2に接続されている非選択メモリセル（T12）が過剰に低しきい値電圧状態でデプレッション化していたとしても、ソース線S1の電位がVrmでありビット線B2と同電位であるため、ビット線B2からソース線S1には電流は流れにくく、非選択メモリセル（T12）がよほど強くデプレッション化していない限り非選択メモリセル（T12）を誤読み出しにはならず、読み出しマージンが広がっている。

【0005】

【発明が解決しようとする課題】しかしながら、従来の不揮発性メモリセルを搭載した半導体記憶装置では書き

込みや消去動作を制御してもメモリセルの特性のばらつきが大きく、メモリセルを過剰にデプレッション化（しきい値電圧が負）してしまうことも考えられる。すなわち、半導体記憶装置の製造工程において、不純物濃度のバラツキや各部の寸法のバラツキによってしきい値にある程度は生じるが、半導体記憶装置の高集積化に伴い寸法等の誤差がしきい値のバラツキを大きくする傾向がある。しかも、高集積化されると発熱を抑制する等の目的で消費電力の低減を図るべく半導体記憶装置の動作電圧は低電圧化される傾向にあるため、製造工程におけるしきい値の分布の中心が低電圧側に移行してきている。斯かる原因が重畳して、半導体記憶装置の微細化、高集積化に伴い、一部のメモリセルにデプレッション化が生じる確率が高くなってきている。

【0006】そして、以上のような原因により、例えば図33に示す選択ビット線B2に接続された非選択メモリセル（T12）が過剰にデプレッション化しているときに、“0”状態のメモリセル（T22）を読み出す場合、ビット線B2に電流が流れビット線B2の電位が低下する。そのとき読み出し中間電位のソース線S1からメモリセル（T12）を通してビット線B2に電流が流れ、ビット線B2の電位を読み出し中間電位に戻ってしまう。ビット線B2の電位が変化しなければビット線B2に接続されているセンスアンプSA2は“0”状態のメモリセル（T22）を“1”状態であると判断し、誤読み出しになる虞れがある。

【0007】本発明の第1の目的は、読み出しの際に非選択メモリセルにおける電流の発生を防止することにより、斯かる誤読み出しを防止することにある。

【0008】また、従来の不揮発性メモリセルを搭載した半導体記憶装置では、図33に示した読み出し動作において、例えば非選択メモリセル（T11）が弱いデプレッションである場合にも図33に示すようにソース線S1からビット線B1へ電流が流れる。この電流は非選択ビット線B1に流れるため誤読み出しにはならないが消費電力が増加する。従来の不揮発性半導体記憶装置では非選択ソース線や非選択ビット線をフローティングにする場合も述べているが、過渡電流が読み出すことに生じ、高速で読みだせば低消費電力化できないという問題もあった。

【0009】本発明の第2の目的は非選択メモリセルにおけるリーク電流を防止することにより消費電力の低減を図ることにある。

【0010】

【課題を解決するための手段】上記第1の目的及び第2の目的を達成するために本発明が講じた手段は、ゲート、ソース、ドレインからなるトランジスタと容量部とを有する不揮発性メモリセルを行列状に配列してなるアレイ構造を有する半導体記憶装置に、ビット線から各トランジスタを経て上記ソース線に至る各経路の少なくと

も一部位に、両端に印加される電圧の高低によって異なる電圧-電流特性を示し、電流が流れやすい順方向と電流が流れにくい逆方向とを有する異方向抵抗部を設けることにある。

【0011】また、斯かる構成を有する半導体記憶装置の駆動方法として、選択ビット線及び選択ソース線の電位を、両者の電位関係がメモリセルの異方向抵抗部の順方向に一致するように、かつ高電位側を読み出し用電位に設定し、非選択ソース線の電位を上記選択ビット線及び選択ソース線の低電位側の電位以上でかつ上記読み出し電位以下に設定する。

【0012】具体的に本発明が講じた手段は、上記請求項1～24に示されている。

【0013】

【作用】請求項1～8の発明では、メモリセルを行列状に配置したアレイにおいて、ビット線-ソース線間の各経路にメモリセルのトランジスタと電流の方向によって電圧-電流特性が異なる異方向抵抗部とが直列に接続された構造となっている。したがって、読み出し動作とは逆方向に流れる電流の大きさを小さくするか又は遮断することが可能となり、いずれかのメモリセルがデプレッション化していても非選択ソース線から非選択ビット線あるいは非選択ソース線から選択ビット線といった読み出し動作と逆方向に流れる不必要な電流が低減され又は阻止される。これにより、誤読み出しが防止され、消費電力も低減される。

【0014】請求項9の発明では、各1対のメモリセルが共通のビット線に接続されることで、メモリセルの占有面積が低減され、集積度の向上が可能となる。

【0015】請求項10の発明では、2本のワード線に対してソース線が1本で済むことになり、メモリセルの占有面積がさらに低減される。

【0016】請求項11～13の発明では、センスアンプの感度を高く設定することが可能となる。したがって、誤読み出しの防止作用が顕著になる。

【0017】請求項14の発明では、フローティングゲートが直線状にパターンニングされているので、製造工程が容易化されメモリセルの微細化が可能となる。

【0018】請求項15～22の発明では、上記各請求項の発明の構造を利用した半導体記憶装置の駆動が行われる。その際、非選択メモリセルの中にデプレッション化しているものがあったとしても、メモリセルを通るビット線-ソース線間の経路に異方向抵抗部が設けられており、読みだし時には、非選択メモリセルのビット線とソース線との電位関係が異方向抵抗部の逆方向となるように設定されるので、非選択メモリセルにおけるリーク電流が低減され、あるいは阻止される。したがって、この非選択メモリセルのリーク電流に起因する誤読み出しが防止されるとともに、消費電力も低減する。

【0019】請求項22～24の発明では、請求項1の

発明の構造を利用した書き込みやデプレッション化したメモリセルの回復が円滑に行われる。

【0020】

【実施例】以下、本発明の各実施例について、各々図面を参照しながら説明する。

【0021】（第1実施例）まず、第1実施例における半導体記憶装置とその読み出し方法について、図1～図5を参照しながら説明する。図1に示すように、本実施例の半導体記憶装置のブロック回路図は図31に示した従来の不揮発性メモリセルを搭載した半導体記憶装置のブロック回路図と同一であり説明は省略する。図1は本発明の第1実施例に係るフラッシュ型EEPROMのメモリセルアレイの一部を示す回路図であって、トランジスタ $T_{11} \sim T_{mn}$ と容量部とを内蔵する複数の不揮発性メモリセル(T_{11})～(T_{mn})が m 行 n 列の行列状に配置されたメモリセルアレイの構造となっている。図1において、各ビット線 $B_1 \sim B_n$ 、ワード線 $W_1 \sim W_m$ 、ソース線 $S_1 \sim S_m$ 、各メモリセル(T_{11})～(T_{mn})、各列選択用トランジスタ $ST_1 \sim ST_n$ 、各センスアンプ $SA_1 \sim SA_n$ 、各ロウデコーダ $LD_1 \sim LD_m$ 及び各ソースデコーダ $SD_1 \sim SD_m$ の構造及び配置関係は、上記従来例における図31に示す構造と同じである。

【0022】ここで、本実施例の特徴として、各トランジスタ $T_{11} \sim T_{mn}$ のドレインと各ビット線 $B_1 \sim B_n$ との間に、ビット線側からトランジスタ側への電流の流通のみを許容するダイオード $D_{11} \sim D_{mn}$ がそれぞれ配置されている。そして、この各ダイオード $D_{11} \sim D_{mn}$ により、各経路 $P_{11} \sim P_{mn}$ において、各トランジスタ $T_{11} \sim T_{mn}$ のドレインからソース方向（順方向）に流れる電流はトランジスタの動作電流とほぼ等しく、ソースからドレイン方向（逆方向）に流れる電流はほとんど遮断されあるいは低減されるという電流特性が得られる。すなわち、このダイオードが本発明でいう異方向抵抗部である。ただし、異方向抵抗部は、逆方向における電流値がほぼ完全に遮断されるというダイオードとしての機能を必ずしも有しなくても、逆方向の電流値が順方向に比べて小さいものであればよいが、以下の実施例では、便宜上すべてダイオードとして表現する。

【0023】次に、このような構造を有する半導体記憶装置の製造工程について、図2(a)～(c)及び図3(a)～(c)を参照しながら説明する。各図において、1はP型半導体基板、2はトンネル SiO_2 膜、3はフローティングゲート、4は容量絶縁膜、5はポリサイド膜等の導電性材料からなるコントロールゲート（ポリサイド）、6は SiO_2 膜、7はレジスト、9は n -層、10はレジスト、21は n^+ 層、22は SiO_2 膜、23はレジスト、24はサイドウォール、25は $WSix$ 膜である。

【0024】まず、図2(a)に示すように、P型半導

体基板1の表面にトンネルSiO₂膜を熱酸化により形成し、フローティングゲート3をパターンニングした後、上記フローティングゲート3の表面に容量絶縁膜4をCVD法や熱酸化法などを用いて形成し、上記フローティングゲート3を覆うようにコントロールゲート5を構成するポリサイド等の導電性材料膜と保護膜としてSiO₂膜6を形成する。その後、上記フローティングゲート3に交差するようにコントロールゲート5とSiO₂膜6とをパターンニングし、パターンニングしたコントロールゲート5とSiO₂膜6とをマスクとして、自己整合的に容量絶縁膜4、フローティングゲート、トンネルSiO₂膜2を異方性エッチング法によりエッチングする。図2(a)に示される構造は、従来スタック型フローティングゲートEEPROMと呼ばれるゲート構造と同一のものである。

【0025】次に、レジスト7を塗布してダイオードDを形成する領域を開口し、P⁺イオン注入を行ない、所望の濃度に調整したn⁻層を形成した後(図2(b)参照)。レジスト10を塗布し、ダイオードを形成する領域を残して開口し、As⁺イオン注入を行ない、高濃度のn⁺層21を形成する(図2(c)参照)。

【0026】次に、保護膜としてSiO₂膜22をCVD法により堆積した後(図3(a)参照)、レジスト23を塗布してダイオードを形成する領域を開口し、異方性エッチング法によりSiO₂膜22をエッチングバックしダイオードを形成する領域のゲート側壁にサイドウォール24を残す(図3(b)参照)。そして、図3(c)に示すように、半導体基板上にWSix膜25を堆積した後パターンニングし、ショットキーダイオードを形成する。上記WSix膜25は配線層としてパターンニングしてもよいし、コンタクトの埋め込み層としてパターンニングしてもよい。図3(c)に示すメモリセルは従来のスタック型フローティングゲート構造メモリセルメモリセルのソースまたはドレイン領域に相当する領域にショットキーダイオードが形成されており、メモリセルの面積を増加させることはない。

【0027】次に、図4を参照しながら、第1実施例における半導体記憶装置の読み出し方法について説明する。その場合、上記ショットキーダイオードが形成された領域はソースでもドレインでもよいが、ここではドレインにショットキーダイオードが形成された場合の読み出し方法について説明する。なお、ソースにショットキーダイオードが形成された場合の読み出し方法については、第2実施例で説明する。

【0028】ここでは、メモリセル(T22)を読みだす場合について説明するものとし、メモリセル(T11)及び(T12)は過剰にデプレッション化(しきい値が負)していると仮定し、メモリセル(T22)を読み出す場合について説明する。選択ワード線W2を読み出し電源電圧V_{cc}(例えば5V)にし、非選択ワード線W1、Wm

を接地電位V_{ss}(例えば0V)にする。同時に選択ソース線S2をV_{ss}に接地し、非選択ソース線S1、Smを読み出し中間電位V_{rm}(例えば1V)にする。また、選択ビット線B2をセンスアンプを介してV_{rm}にし、非選択ビット線B1、Bnを接地電位V_{ss}にする。実際には、ビット線にはセンスアンプが接続されているため、ビット線の電位は中間電位V_{rm}から僅かに変動するが、ここでは説明を簡単にするためにビット線の電位は一定の電圧V_{rm}であるとする。

【0029】メモリセル(T22)が“1”状態ならばメモリセル(T22)は作動せず電流は流れない。また、メモリセル(T12)は過剰にデプレッション化しているが、ビット線B2と非選択ソース線S1の電位が同じであるためメモリセル(T12)には電流が流れない。したがって、選択ビット線B2には電流が流れずメモリセル(T22)が“1”状態にあることを検知できる。

【0030】一方、メモリセル(T22)が“0”状態ならばメモリセル(T22)が作動して電流が流れ、選択ビット線B2の電位が僅かに低下する。その時、非選択ソース線S1と選択ビット線B2に電位差が生じるが、非選択メモリセル(T12)は過剰にデプレッション化しているため、メモリセル(T12)のドレインに接続されたダイオードDとは逆バイアスになるためメモリセル(T12)には電流が流れず、選択ビット線B2の電位を読み出し中間電位である1Vに戻すことはない。したがって、選択ビット線B2に電流が流れることでメモリセル(T22)が“0”状態にあることを検知できる。また、メモリセル(T11)も過剰にデプレッション化しており非選択ソース線S1と非選択ビット線B1に電位差1Vが生じているがメモリセル(T11)のドレインに接続されたダイオードD11とは逆バイアスになるためメモリセル(T11)には電流が流れず、非選択ビット線B1には電流が流れず、余分な電力消費が発生しない。

【0031】以上、メモリセルアレイに過剰にデプレッション化したメモリセルが生じて、選択ビット線の電流によって選択したメモリセルが“1”状態であるか“0”状態であるかを誤ることなく読み出すことができ、また、非選択ビット線には電流が流れないので余分な電力消費が発生しない。

【0032】なお、上記した第1実施例の読みだし方法では選択ビット線の電位と非選択ソース線電位を読み出し中間電位V_{rm}としたが、読み出し電源電圧V_{cc}としてもよい。

【0033】次に、図5を参照しながら、本実施例においてワード線に接続されている全てのメモリセルを一括に読み出す方法について説明する。ここでは、メモリセル(T11)及び(T12)が過剰にデプレッション化(しきい値が負)していると仮定し、ワード線W2を一括に読み出す場合について説明する。選択ワード線W2を読み出し電源電圧V_{cc}(例えば5V)にし、非選択ワード

10

20

30

40

50

線W1、Wmを接地電位Vss（例えば0V）にする。同時に選択ソース線S2を接地電位Vssにし、非選択ソース線S1、Smを読み出し中間電位Vrm（例えば1V）にする。全てのビット線B1、B2、Bnをセンスアンプを介してVrmにする。実際には、ビット線にはセンスアンプが接続されているため、ビット線の電位はVrmから僅かに変動するが、ここでは説明を簡単にするためにビット線の電位は一定の電圧Vrmであるとする。メモリセルが“1”状態ならばビット線には電流を流さず、ビット線の電位は変動しない。メモリセルが“0”状態ならばメモリセルは電流を流し、ビット線の電位が僅かに低下する。上記ビット線の電位の違いを各ビット線に接続したセンスアンプを使って検知する。非選択メモリセル（T11）や（T12）は過剰にデプレッション化しているが、非選択ソース線S1と選択ビット線B2に電位差が生じるが、非選択メモリセル（T12）は過剰にデプレッション化していても、メモリセル（T12）のドレインに接続されたダイオードDとは逆バイアスになるためメモリセル（T12）には電流が流れず、選択ビット線B2の電位を読み出し中間電位である1Vに戻すことはない。したがって、選択ビット線B2に電流が流れることでメモリセル（T22）が“0”状態にあることを検知できる。

【0034】また、ダイオードD11は逆バイアスでも僅かにリーク電流を流すが、このようなワード線に接続されている全てのメモリセルを一括に読み出す方法では、非選択ソース線S1と全てのビット線の電位が等しいために、リーク電流をも抑制することができ低消費電力化できる。なお、上記の読みだし方法ではビット線の電位と非選択ソース線電位を読み出し中間電位Vrmとしたが、読み出し電源電圧Vccとしてもよい。各請求項では、これらを総称して読み出し電位としている。

【0035】次に、本実施例においてワード線の電位を接地電位にしたまま読み出す方法について説明する。読み出し方法は、図4あるいは図5で示した読み出し方法において全てのワード線W1～WmをVss（例えば0V）に接地したものであり、図面は省略する。本実施例の“0”状態におけるメモリセルのしきい値電圧を負に設定すれば、メモリセルはワード線の電位を接地電位Vss（例えば0V）にしても、“0”状態ならば電流を流し、“1”状態ならば電流を流さないため、図4あるいは図5で示した読み出し方法において全てのワード線W1～Wmを接地電位Vss（例えば0V）にしても、メモリセルの状態をビット線電流を検知することでデータを読みだせる。すなわち選択ソース線S2をVssに接地し、非選択ソース線S1、Smを読み出し中間電位Vrm（例えば1V）とし、選択ビット線B2の電位をセンスアンプを介してVrmにし、非選択ビット線をVssにすることでソース線とビット線で選択したメモリセルを読み出すことができるのである。したがって読み出し時にワ

ード線電位の変動がなく一層の低消費電力化と低電源電圧化が可能である。

【0036】なお、上記第1実施例の読みだし方法ではビット線の電位と非選択ソース線電位を読み出し中間電位Vrmとしたが、読み出し電源電圧Vccとしてもよい。

【0037】次に、ワード線の電位を接地電位にしたまま書き込む方法について説明する。これは請求項23の発明に相当する。本実施例の“0”状態におけるメモリセルのしきい値電圧を負に設定すれば、メモリセルはワード線の電位を接地電位Vss（例えば0V）にしても電流が流れる。ワード線を接地したまま選択ビット線を高電位に、非選択ビット線を接地し、選択ソース線を接地、非選択ソース線を高電位あるいはフローティングにすることで選択したメモリセルにホットエレクトロンを発生させ、“0”状態のメモリセルを“1”状態に変化させることができる。

【0038】なお、上記ワード線の電位を接地電位にしたまま書き込む方法を過剰にデプレッション化したメモリセルのしきい値電圧を高く戻すために用いてもよい。

【0039】なお、上述の説明では、メモリセルへの書き込みはホットエレクトロンの注入により行ったが、F-N電流による書き込みを行ってもよい。ただし、本実施例ではドレイン側にダイオードDを設けたため、ドレインとフローティングゲート間に高電界を発生させて行うF-N電流による書き込み方法よりは、従来のフラッシュ型EEPROMにおけるホットエレクトロンによる書き込み方法の方が適している。

【0040】（第2実施例）次に、第2実施例について、図6（a）～（d）、図7、図8、図9及び図10を参照しながら説明する。

【0041】図6（a）～（d）は第2実施例の半導体記憶装置の製造工程を示す。図6（a）～（d）において、25はレジスト、27はn+層、28はサイドウォール、29はオフセット領域、30はn+層である。図6（a）に示す状態では、図2（a）に示す状態と同様にスタック型フローティングゲート構造を形成したものである。この状態の基板の上にレジスト25を塗布し、ダイオードを形成する領域を残して開口し、As+イオン注入を行い高濃度n+層27を形成する（図6（b）参照）。次に、SiO2膜を堆積してエッチバックすることでサイドウォール28を形成した後（図6（c）参照）、As+イオン注入を行い高濃度n+層30を形成する（図6（d）参照）。図6（d）に示す状態では、n+層30とフローティングゲート3とは水平方向でオフセットしており、このオフセット領域29の距離はサイドウォール28の膜厚で制御される。

【0042】次に、この図6（d）におけるn+層30-オフセット領域29-チャンネル領域の部分ダイオードとはば類似の機能を有することを説明する。図7は、このようなオフセット領域を内蔵するメモリセルの電圧

ー電流特性をシミュレーションしたものである。縦軸はメモリセルの動作電流、横軸はゲート（フローティングゲート）電圧である。ゲート長は0.5ミクロンでオフセット量は0.2ミクロンであり、ドレインソース間電圧は1Vである。同図において、実線はオフセット領域29と隣接するn+層30の側を高電位にした場合の電圧ー電流特性を示し、点線はオフセット領域29と隣接するn+層30側を低電位にした場合の電圧ー電流特性を示す。同図に示すように、順方向と逆方向では電流値が2桁以上異なっていることがわかる。すなわち、ソ

ースードレイン間の電圧の高低の関係によって、異なる電流特性を有する。本実施例におけるメモリセルの構造は、図6(d)の右側に示すように、便宜上n+領域30の側にダイオードを付設してなる構造で表すことができる。ただし、実際には、ソースードレイン間にダイオードに相当する部分が介在した構造となっている。

【0043】したがって、本第2実施例のオフセット領域を内蔵したメモリセルの構造では、上記第1実施例におけるショットキーダイオードを付加したメモリセルに比べて一方の電流を遮断する機能は劣るものの、電流の流れる方向によって極端に抵抗値が異なるので、上記第1実施例のメモリセルの構造とほぼ同様の機能が得られることがわかる。特に、本第2実施例のメモリセルの構造では、上記第1実施例のメモリセルの例とは異なり、レジストを露光する工程が少ないと言う利点がある。

【0044】次に、第2実施例の半導体記憶装置の読み出し方法について、図8～図10を参照しながら説明する。本実施例の場合でも、上記第1実施例と同様に、オフセット領域29に隣接するn+層30はソース又はドレインいずれであってもよい。本第2実施例では、オフセット領域29と隣接するn+領域30がソースである場合について説明する。なお、オフセット領域29に隣接するn+領域がドレインである場合には、上記第1実施例と同様の読み出し方法を適用することができる。

【0045】図8は、本実施例におけるメモリセルアレイの構造を示し、各メモリセルはメモリセルのソース側に、ソース側からドレイン側（つまりソース線側からビット線側）への電流のみを許容するダイオードDを接続した構成となっている。ソースからドレイン方向に流れる電流はメモリセルの動作電流とほぼ等しく、ドレインからソース方向に流れる電流は上記ダイオードDによってほとんど遮断されるという特性を有している。

【0046】次に、図9を参照しながら、本実施例における読み出し方法について説明する。ここではメモリセル(T11)及び(T12)は過剰にデプレッション化(しきい値が負)していると仮定し、メモリセル(T22)を読み出す場合について説明する。選択ワード線W2を読み出し電源電圧Vcc(例えば5V)にし、非選択ワード線W1、Wmを接地電位Vss(例えば0V)にする。同時に選択ソース線S2を読み出し中間電位Vrm(例えば

1V)にし、非選択ソース線S1、Smを接地電位Vssにする。また、選択ビット線B2をセンスアンプを介してVssにし、非選択ビット線B1、BnをVrmにする。実際には、ビット線にはセンスアンプが接続されているため、ビット線の電位はVssから僅かに変動するが、ここでは説明を簡単にするためにビット線の電位は一定の電圧Vssであるとする。メモリセル(T22)が“1”状態ならばメモリセル(T22)は電流を流さない。また、メモリセル(T12)は過剰にデプレッション化しているがビット線B2と非選択ソース線S1の電位が同じでVssであるためメモリセル(T12)には電流が流れない。したがって、選択ビット線B2には電流が流れずメモリセル(T22)が“1”状態にあることを検知できる。

【0047】一方、メモリセル(T22)が“0”状態の場合、メモリセル(T22)が作動して電流が流れ、選択ビット線B2の電位が僅かに上昇する。その際、選択ビット線B2と非選択ソース線S1に電位差が生じるが、非選択メモリセル(T12)は過剰にデプレッション化していても、メモリセル(T12)のソースに接続されたダイオードDとは逆バイアスになるためメモリセル(T12)には電流が流れず、選択ビット線B2の電位をVssに戻すことはない。したがって、選択ビット線B2に電流が流れることで、誤読み出しを生じることなくメモリセル(T22)が“0”状態にあることを検知できる。また、メモリセル(T11)も過剰にデプレッション化しており非選択ビット線B1と非選択ソース線S1に電位差1Vが生じているがメモリセル(T11)のドレインに接続されたダイオードDとは逆バイアスになるためメモリセル(T11)には電流が流れず、非選択ビット線B1には電流が流れず、余分な電力消費が発生しない。なお、上記読みだし方法では、選択ソース線の電位と非選択ビット線電位を読み出し中間電位Vrmとしたが、読み出し電源電圧Vccとしてもよい。

【0048】また、上記読みだし方法では選択ビット線の電位をセンスアンプを介して接地電位Vssにするとしたが、センスアンプがリファレンス電位を必要する場合には選択ビット線の電位を接地電位Vssより大きく読み出し中間電位より小さくしてもよい。

【0049】次に、図10を参照しながら、本実施例においてワード線に接続されている全てのメモリセルを一括に読み出す方法について説明する。ここでは、メモリセル(T11)及び(T12)は過剰にデプレッション化(しきい値が負)していると仮定し、ワード線W2を一括に読み出す場合について説明する。選択ワード線W2を読み出し電源電圧Vcc(例えば5V)にし、非選択ワード線W1、Wmを接地電位Vss(例えば0V)にする。同時に、選択ソース線S2を読み出し中間電位Vrm(例えば1V)とし、非選択ソース線S1、Smを接地電位Vssにする。全てのビット線B1、B2、Bnをセンスアンプを介して接地電位Vssにする。実際には、ビ

ット線B1～BnにはセンスアンプSA1～SAnが接続されているため、ビット線B1～Bnの電位は接地電位Vssから僅かに変動するが、ここでは、説明を簡単にするためにビット線の電位は一定の電位Vssであるとする。

【0050】例えばメモリセル(T2n)が“1”状態の場合、メモリセル(T2n)は作動しないので、各ビット線には電流が流れず、ビット線の電位は変動しない。一方、各メモリセル(T21)、(T22)が“0”の場合、各メモリセル(T21)、(T22)が作動して電流が流れ、ビット線B2の電位が僅かに上昇する。このビット線の電位の違いをビット線に接続したセンスアンプにより検知する。非選択メモリセル(T11)や(T12)は過剰にデプレッション化しているが、非選択ソース線S1と全てのビット線の電位が等しく接地電位Vssであるために電流は流れない。また、ダイオードDは逆バイアスでも僅かにリーク電流を流すが、上記したワード線に接続されている全てのメモリセルを一括に読み出す方法では上記リーク電流をも抑制することができ低消費電力化できる。また、ワード線に接続されている全てのメモリセルを一括に読み出す方法とは異なり、選択ワード線と選択ソース線のみに電圧が印加されているため、読み出し始動時の低消費電力化が可能である。

【0051】なお、上記した第2実施例の読みだし方法では選択ソース線の電位を読み出し中間電位Vrm(例えば1V)としたが、読み出し電源電圧Vccとしてもよい。

【0052】なお、上記読みだし方法では、選択ビット線の電位をセンスアンプを介して接地電位Vssにするとしたが、センスアンプがリファレンス電位を必要する場合には選択ビット線の電位を接地電位Vssより大きく読み出し中間電位より小さくしてもよい。

【0053】次に、本実施例においてワード線の電位を接地電位にしたまま読み出す方法について説明する。読み出し方法は図9あるいは図10で示した読み出し方法において全てのワード線を接地電位Vss(例えば0V)にしたものであり、図面は省略する。本実施例の“0”状態におけるメモリセルのしきい値電圧を負に設定すれば、メモリセルはワード線の電位を接地電位Vss(例えば0V)にしても、“0”状態ならば電流を流し、“1”状態ならば電流を流ささないため、図9あるいは図10で示した読み出し方法において、全てのワード線をVss(例えば0V)に接地しても、メモリセルの状態をビット線電流を検知することでデータを読みだせる。すなわち選択ソース線S2を読み出し中間電位Vrm(例えば1V)し、非選択ソース線S1、SmをVssに接地し、選択ビット線をセンスアンプを介してVssに、非選択ビット線を読み出し中間電位Vrmにすることでソース線とビット線で選択したメモリセルを読み出すことができるのである。したがって読み出し時にワード線電位の

変動がなく一層の低消費電力化と低電源電圧化が可能である。なお、上記読みだし方法では選択ソース線の電位を読み出し中間電位Vrm(例えば1V)としたが、読み出し電源電圧Vccとしてもよい。

【0054】また、上記読みだし方法では選択ビット線の電位をセンスアンプを介して接地電位Vssにするとしたが、センスアンプがリファレンス電位を必要する場合には選択ビット線の電位を接地電位Vssより大きく読み出し中間電位より小さくしてもよい。

【0055】次に、本実施例においてホットエレクトロンによる書き込み方法について説明する。本実施例では、ソース線からでなければメモリセルにチャネル電流を流せない。選択ワード線を高電位に、非選択ワード線を接地電位にし、選択ソース線を高電位に、非選択ソース線を接地またはフローティングにし、選択ビット線を接地電位にし、非選択ソース線を高電位にすることで選択したメモリセルのソース側からドレイン側に電流を流すことでホットエレクトロンを発生させ、書き込むことができる。

【0056】次に、ワード線の電位を接地電位にしたまま書き込む方法について説明する。本実施例の“0”状態におけるメモリセルのしきい値電圧を負に設定すれば、メモリセルはワード線の電位を接地電位Vss(例えば0V)にしても電流が流れる。ワード線を接地電位にしたまま選択ソース線を高電位に、非選択ソース線を接地電位に、選択ビット線を接地電位に、非選択ビット線を高電位あるいはフローティングにすることで選択したメモリセルにホットエレクトロンを発生させ、“0”状態のメモリセルを“1”状態に変化させることができる。

【0057】なお、上記ワード線の電位を接地電位にしたまま書き込む方法を過剰にデプレッション化したメモリセルのしきい値電圧を高く戻すために用いてもよい。

【0058】なお、本実施例ではソース側にダイオードDを設けたため、ドレインとフローティングゲート間に高電界を発生させやすく、上述のようなホットエレクトロンによる方法よりも、従来のフラッシュ型EEPROMにおけるF-N電流による書き込み方法が好ましい。

【0059】(第3実施例)次に、第3実施例について、図11(a)～(c)及び図12を参照しながら説明する。図11(a)～(c)は、第3実施例における半導体記憶装置のメモリセルの製造工程を示すものである。図11(a)～(c)において、30はn+層、31はレジスト、33はp層である。図11(a)に示す状態は、図2(a)に示す状態と同様にスタック型フローティングゲート構造を形成したものである。そして、この状態の基板上にレジスト31を塗布し、ダイオードを形成する領域を残して開口し、BF2+イオン注入32を行いp層33を形成する(図11(b)参照)。BF2+イオン注入は大傾角で行うことが望ましく、例えば4

5度、60 keV、 6×10^{12} atoms/cm² の条件で行う。ただし、この条件に限定されるものではない。次に、図11(c)に示す工程では、As⁺イオン注入を行って高濃度n⁺層30を形成する。メモリセルのソース、ドレインとなる2つのn⁺層30、30のうち1つのn⁺層30の内方に低濃度の不純物をドーピングしたp層33を形成したことで、この部分の空乏層の歪みが抑えられ、ソースドレイン間にダイオードを形成したのと同様の作用が生じる。図12は、上記一方のみに低濃度のp層33を形成したメモリセルの電圧-電流特性をシミュレーションしたものである。縦軸はメモリセルの動作電流、横軸はゲート（フローティングゲート）電圧である。ゲート長は0.5ミクロンでp層の濃度は 1×10^{18} atoms/cm³であり、オフセット状態にはなっていない、ドレイン-ソース間電圧は1Vである。同図において、実線はp層33と隣接するn⁺層30の側を高電位にした場合の電圧-電流特性を示し、点線はp層33と隣接するn⁺層30側を低電位にした場合の電圧-電流特性を示す。同図に示すように、順方向と逆方向では電流値が1桁以上異なっていることがわかる。したがって、本実施例にお

けるメモリセルの構造は、図11(c)の右側に示すように、便宜上n⁺領域30の側にダイオードを付設してなる構造で表すことができる。ただし、実際には、ソースドレイン間にダイオードに相当する部分が介在した構造となっている。

【0060】なお、p層33の濃度を濃くしてn⁺層30がオフセットになってもよい。図11のメモリセルの例は図6のメモリセルの例よりもサイドウォール工程が必要ないと言う特徴がある。

【0061】（第4実施例）次に、第4実施例につい

て、図13(a)～(c)及び図14(a)、(b)を参照しながら説明する。図13(a)～(c)及び図14(a)、(b)は第4実施例における半導体記憶装置のメモリセルの製造工程を示すものである。図13(a)に示す状態では、図2(a)に示す状態と同様にスタック型フローティングゲート構造となっている。この状態でレジストを形成しダイオードDを形成する領域にP⁺イオン注入を行ない、所望の濃度に調整したn⁺層9を形成し（図13(b)参照）、次にダイオードDを形成しない領域にAs⁺イオン注入を行って高濃度のn⁺層21を形成する（図13(c)参照）。次に、保護膜としてSiO₂膜22をCVD法により堆積し（図14(a)参照）、ダイオードDを形成する領域にSiO₂膜22をエッチングバックしダイオードDを形成する領域のゲート側壁にサイドウォール24を残す（図14(e)参照）。この状態で、レジスト31を塗布し、ダイオードを形成する領域を開口し、BF₂+イオン注入を行いp層61を形成する。図14(b)に示すメモリセルは従来のスタック型フローティングゲート構造メモリセルのソースまたはドレイン領域に相当する領域にP

Nダイオードが形成されており、メモリセルの面積を増加させることはない。

【0062】この場合には、ダイオード特性が得られ、この構造を有するメモリセルは、図14(b)の右側に示すようなソース又はドレインに隣接してダイオードが付設されたメモリセルとして表現できる。

【0063】（第5実施例）次に、第5実施例について、図15、図16(a)、(b)、図17(a)、(b)、図18及び図19に基づき説明する。

【0064】本実施例における半導体記憶装置のブロック回路図は、図31に示した従来の不揮発性メモリセルを搭載した半導体記憶装置のブロック回路図と同一であり説明は省略する。図15は第4実施例に係るフラッシュ型EEPROMのメモリセルアレイの一部を示す回路図である。本実施例は第1実施例の構造を高集積に実現するために改良したものである。本実施例では、図15に示したように、例えば2個のメモリセル(T21a)、(T21b)の各々のドレインにはダイオードD21a、D21bの一端がそれぞれ1個ずつ接続され、それぞれのダイオードD21a、D21bの他端は共通の配線を介して共通のビット線B1に接続されている。一方、メモリセル(T21a)のソースはソース線S2に接続され、メモリセル(T21b)のソースはソース線S3に接続されている。すなわち、1対のメモリセル(T21a)、(T21b)のソースは個別のソース線S2、S3に接続される一方、ドレインは共通のビット線に接続されている。また、この1対のメモリセル(T21a)、(T21b)が接続されるビット線B1上で各メモリセル(T21a)、(T21b)の隣接領域にはメモリセルは配置されていない。そして、ビット線B2に対し、各1対のメモリセル(T12a)、(T12b)及び(T32a)、(T32b)が2ビット分の間隔を隔てて配置されている。メモリセル(T12a)、(T12b)の各ドレインは各々ダイオードD12a、D12bを介して共通のビット線B2に接続され、メモリセル(T12b)のソースは、メモリセル(T21a)と共通のソース線S2に接続されている。一方の1対のメモリセル(T32a)、(T32b)の接続状態も同様である。

【0065】以上の結果、ソース線S1、S3の間に2本のワード線W1a、W1bを、ソース線S2、S3の間に2本のワード線W2a、W2bを配置し、ビット線B1～B3は、ワード線とソース線とに垂直に交差するように配置する。そして、これらの配線で形成される行列上の領域に、2ビット一組のメモリセル(T)がチェッカー模様状に配置されている。なお、各メモリセル(T)のゲートはワード線Wに接続され、NOR型にメモリセルを配置している。また、ワード線W1a、W1b～W3a、W3bはそれぞれロウデコーダLD1a、LD1b～LD3a、LD3bに、ソース線S1～S3はそれぞれソースデコーダSD1～SD3に、ビット線B1～B3はそれぞれ列選択

21

用トランジスタST1～ST316を介してセンスアンプSA1～SA3に接続されカラムデコーダに接続されている。

【0066】本実施例では、読み出し方法は第1実施例と同様の方法で読み出す。図16(a)に示すメモリセル(T21a)などを1ビット単位で読み出すか、あるいは図16(b)に示す1本のワード線W2aを一括読み出しする。1本のワード線一括読み出し方法ではデータがビット線の1本おきに出力される。また、本実施例では、図16(c)に示すように、あるソース線S2の両側に配置される2本のワード線W1b、W2aを同時に選択して、メモリセル(T12b)とメモリセル(T21a)などの2ビット単位で読み出すことができる。また、図16(d)に示すように2本のワード線W1b、W2aを一括読み出しすることもできる。2本のワード線一括読み出し方法ではデータが全てのビット線から出力される。ただし、一括で読み出す場合にはセンスアンプは全てのビット線に配置されている必要がある。

【0067】なお、本実施例では、各メモリセルの対をチェッカー模様上に配置したが、1対のメモリセルのドレインを共通のビット線に接続する場合に、必ずしもこのような構成に限定されるものではない。例えば、各ワード線間に互いに隣接してソース線を設けるのであれば、各1対のメモリトランジスタを行列状に隙間なく配置してもよい。

【0068】次に、本実施例におけるメモリセル(T)の構造について説明する。図17(a)はビット線方向の構造を示す断面図、図17(b)はそれに対応する平面図である。また、図18は平面図においてフローティングゲートのバターンニングを示したものである。図19はメモリセル単体のワード線方向の構造断面図を示す。各図において、51は素子分離、52はソース配線、53は保護絶縁膜、54は層間絶縁膜、55はビット配線、56はソース線コンタクト、57はビット線コンタクト、58は活性領域、59はバターンニング後のフローティングゲートである。図18に示すように、長辺方向がデザインルールLの5倍で短辺方向がデザインルールLの長方形の活性領域58を折り重なるように形成し、フローティングゲート59は上記活性領域58の長辺方向に直線状にバターンニングする。図17(b)に示すようにワード線であるコントロールゲート5はデザインルールのラインとスペースで等間隔にバターンニングされ、容量絶縁膜4とフローティングゲート59とトンネルSiO₂膜2を自己整合的にエッチングする。ソース30をイオン注入により形成し、形成後SiO₂膜22を堆積する。SiO₂膜22をエッチバックし、サイドウォール28を形成し、イオン注入によりオフセットドレイン27を形成する。オーバーサイズでビットコンタクト57を露光し、配線材料とSiO₂膜53を堆積し、ソース配線52をバターンニングする。層間膜54を

22

堆積し、ビットコンタクト57をオーバーサイズで露光し、層間膜54をエッチバックし、ビットコンタクト57を開ける。配線材料を堆積し、ビット配線55をバターンニングする。図17(b)の平面図に示すようにメモリセルのチャンネル幅方向はビット線のデザインルールとビットコンタクト57のマスクの合わせマージンにより律速されている。図19に示すように、メモリセル単体のワード線方向の構造断面は活性領域に対してフローティングゲート3が非対称形である。このことは上記フローティングゲート59を上記活性領域58の長辺方向に直線状にバターンニングしたこと起因するもので、デザインルールが小さくなるほど直線状の方がバターンニングしやすく、微細化できる利点がある。

【0069】なお、図17等を示すレイアウトはマスクの合わせマージンをデザインルールの半分と仮定しており、セル面積はデザインルールの二乗の1.1倍になっているが、マスクの合わせマージンは露光技術に依存するものであり、デザインルールの半分に限定しなくてもよい。

【0070】なお、図17等を示すメモリセルは、上記図8に示したオフセット領域を内蔵した構造を有するフローティングゲートメモリセル(第2実施例)を用いているが、これに限定するものではなく、第1、第3、第4実施例に示す構造のメモリセルを用いてもよい。

【0071】また、本実施例において、活性領域58を長方形としたが、露光技術などの必要に応じて部分的に変形してもよい。

【0072】さらに、本実施例において、フローティングゲート59とコントロールゲート5とソース配線52は直線状であるとしたが、露光技術などの必要に応じて部分的に変形してもよい。

【0073】また、本実施例においてソース配線52は配線材料であるとしたが、拡散層で形成してもよい。

【0074】(第6実施例)次に、第6実施例の半導体記憶装置及びその読み出し方法について、図20、図21(a)～(d)及び図22を参照しながら説明する。本実施例の半導体記憶装置のブロック回路図は、図31に示した従来の不揮発性メモリセルを搭載した半導体記憶装置のブロック図と同一であり説明は省略する。図18(a)は本実施例に係るフラッシュ型EEPROMのメモリセルアレイの一部を示す回路図である。41はメモリセルとビット線13の接点、42はメモリセルとソース線14の接点である。本実施例は第2実施例を高集積に実現するために改良したものである。本実施例では、図20に示すように、配線の接続構造やメモリセルの配置状態は、基本的に上記第5実施例(図15参照)と同じである。ただし、本実施例では、各メモリセル(T)のソースとソース線S1～S3との間にダイオードDを介設した点のみが異なる。

【0075】本実施例では、読み出し方法は、上述の第

2実施例と同様の方法で読み出す。図21(a)に示すメモリセル(T21a)などを1ビット単位で読み出すか、あるいは図21(b)に示す1本のワード線W2aを一括読み出しする。1本のワード線一括読み出し方法ではデータがビット線の1本おきに出力される。また本実施例では、図21(c)に示すように2本のワード線W1b、W2aを同時に選択して、メモリセル(T12b)とメモリセル(T21a)などの2ビット単位で読み出すことができる。また、図21(d)に示すように2本のワード線W1b、W2aを一括読み出しすることもできる。2本のワード線一括読み出し方法ではデータが全てのビット線から出力される。また一括で読み出す場合にはセンスアンプは全てのビット線に配置されている必要がある。

【0076】次に、図22を参照しながら、本実施例の半導体記憶装置の構造について説明する。図19は本実施例のメモリセルのビット線方向の構造断面図を示す。本実施例の構造は第5実施例の構造においてソース側にダイオード構造を設けたものであり、ビット線方向の構造断面図が異なり、平面図とメモリセル単体のワード線方向の構造断面図は第4実施例と同様なので省略する。図22に示す構造は、下記の工程により形成される。すなわち、ドレイン27をイオン注入により形成し、SiO₂膜22を堆積する。オーバーサイズでソースコンタクト56を露光し、SiO₂膜22をエッチバックし、サイドウォール28を形成し、イオン注入によりオフセットソース30を形成する。配線材料とSiO₂膜53を堆積し、ソース配線52をパターニングする。層間膜54を堆積し、ビットコンタクト57をオーバーサイズで露光し、層間膜54とSiO₂膜22をエッチバックし、ビットコンタクト57を開ける。配線材料を堆積し、ビット配線55をパターニングする。

【0077】なお、本実施例では図6に示したオフセット領域を内蔵する構造のフローティングゲートメモリセル(第2実施例)を採用したが、これに限定するものではなく、第1、第3、第4実施例の構造を適用することができる。

【0078】なお、本実施例において活性領域58を長方形としたが、露光技術などの必要に応じて部分的に変形してもよい。

【0079】なお、本実施例においてフローティングゲート59とコントロールゲート5とソース配線52は直線状であるとしたが、露光技術などの必要に応じて部分的に変形してもよい。

【0080】(第7実施例)次に、第7実施例の半導体記憶装置について、図23～図26を参照しながら説明する。本実施例における半導体記憶装置のブロック回路図は、図31に示した従来の不揮発性メモリセルを搭載した半導体記憶装置のブロック回路図と同一であり説明は省略する。図23は、本発明の第7実施例に係るフラッシュ型EEPROMのメモリセルアレイの一部を示す

回路図である。図24及び図25は半導体記憶装置の駆動方法を説明する図である。図26(a)は、メモリセルのビット線方向の構造断面図、図26(b)はその平面図を示す。本実施例は第1実施例を折り返しビット線構造にしたものである。本実施例では、図23に示すように、各1対のメモリセルをチェッカー模様状に配置した構造及び1つのメモリセルのドレインをダイオードを介して共通のビット線に接続した点は、上記第5実施例で説明した図15の構造と同じである。ただし、本実施例では、図15における1本のソース線(例えばS2)の代わりにそれぞれ2本のソース線(例えばS2a、S2b)を配置し、各々にソースデコーダ(例えばSD2a、SD2b)を配置している。そして、メモリセル(T12b)とメモリセル(T21a)のソースとは、各々別のソース線S1b、S2aに接続されている。また、各ビット線には、2ビット1組のダミーセルが配置されている。例えば、ビット線B2には、1つのダミーセル(Tr1、Tr2)が配置されており、各ダミーセル(Tr1)、(Tr2)のドレインはそれぞれダイオードDr1、Dr2を介して共通のビット線B2に接続されている。また、各ダミーセル(Tr1)、(Tr2)のソースは個別のソース線Sr1、Sr2に接続され、各ソース線Sr1、Sr2の先端にはソースデコーダSDr1、SDr2が配置されている。さらに、各ダミーセル(Tr1)、(Tr2)のゲートはそれぞれワード線Wr1、Wr2に接続され、各ワード線Wr1、Wr2の先端にはそれぞれロウデコーダLDr1、LDr2が設置されている。

【0081】本実施例では、読み出し方法は第2実施例と同様の方法で読み出す。図24に示すように、例えばメモリセル(T21a)を1ビット単位で読み出す場合はビット線B1がメモリセル(T21a)を読み出し、ビット線B2がダミーセル(Tr1)を読み出す。また、例えば1本のワード線W2aを一括読み出す場合はビット線B1、B3などがメモリセルを読み出し、ビット線B2、B4などがダミーセルを読み出す。

【0082】次に、図26を参照しながら、本実施例の半導体記憶装置のメモリセルの構造について説明する。本実施例のメモリセルの構造は図17に示した第5実施例のメモリセルの構造とほとんど同じであるが、第5実施例では2本のワード線につき1本のソース線を配置しているのに対し、本第7実施例では2本のワード線につき2本のソース線を配置しており、セル面積は増大する。しかし、本実施例の折り返しビット線構造の方が一般にセンスアンプの感度が高くできると言う特徴がある。

【0083】なお、図26に示すレイアウトはマスクの合わせマージンをデザインルールの半分と仮定しており、セル面積はデザインルールの二乗の1.65倍になっているが、マスクの合わせマージンは露光技術に依存するものであり、デザインルールの半分に限定しなくて

もよい。

【0084】なお、本実施例では図6に示したオフセット領域を内蔵するフローティングゲートメモリーセル（第2実施例）を採用したが、これに限定するものではなく、第1、第3、第4実施例に示したメモリーセルの構造を適用できる。

【0085】なお、第6実施例において活性領域58を長方形としたが、露光技術などの必要に応じて部分的に変形してもよい。

【0086】なお、本実施例においてフローティングゲート59とコントロールゲート5とソース配線52は直線状であるとしたが、露光技術などの必要に応じて部分的に変形してもよい。

【0087】なお、本実施例においてソース配線52は配線材料であるとしたが、拡散層で形成してもよい。

【0088】（第8実施例）次に、第8実施例の半導体記憶装置について、図27～図31(a)、(b)を参照しながら説明する。本実施例における半導体記憶装置のブロック回路図は図31に示した従来の不揮発性メモリーセルを搭載した半導体記憶装置のブロック回路図と同一であり説明は省略する。図27は本実施例に係るフラッシュ型EEPROMもメモリーセルアレイの一部を示す回路図である。本実施例におけるメモリーセルアレイの構造は、基本的には、上記第7実施例における構造と同じであるが、ダイオードがメモリーセルのソース側に介設されている点のみが異なる。

【0089】本実施例では、読み出し方法は第2実施例と同様の方法で読み出す。図28に示すように、例えばメモリーセル(T21a)を1ビット単位で読み出す場合はビット線B1がメモリーセル(T21a)を読み出し、ビット線B2がダミーセル(Tr1)を読み出す。また、図29に示すように、例えば1本のワード線W2aを一括読み出す場合はビット線B1、B3などがメモリーセルを読み出し、ビット線B2、B4などがダミーセルを読み出す。

【0090】次に、図30を参照しながら、本実施例のメモリーセルの構造について説明する。本実施例のメモリーセル構造は図22に示した第6実施例のメモリーセルの構造とほとんど同じであるが、第6実施例では2本のワード線につき1本のソース線を配置していたのに対し、本実施例では2本のワード線につき2本のソース線を配置しており、セル面積は増大する。しかし、本実施例の折り返しビット線構造の方が一般にセンスアンプの感度が高くできると言う特徴がある。

【0091】なお、図30に示すレイアウトはマスクの合わせマージンをデザインルールの半分と仮定しており、セル面積はデザインルールの二乗の16.5倍になっているが、マスクの合わせマージンは露光技術に依存するものであり、デザインルールの半分に限定しなくてもよい。

【0092】なお、本実施例では図6に示したオフセット領域を内蔵するフローティングゲートメモリーセル（第2実施例）を採用したが、これに限定するものではなく、第1、第3、第4実施例に示したメモリーセルの構造を適用できる。

【0093】なお、本実施例において活性領域58を長方形としたが、露光技術などの必要に応じて部分的に変形してもよい。

【0094】なお、本実施例においてフローティングゲート59とコントロールゲート5とソース52は直線状であるとしたが、露光技術などの必要に応じて部分的に変形してもよい。

【0095】

【発明の効果】以上説明したように、請求項1～8の発明によれば、メモリーセルを行列状に配置したアレイにおいて、ビット線-ソース線間の各経路にメモリーセルのトランジスタと電流の方向によって電圧-電流特性が異なる異方向抵抗部とを直列に接続する構成としたので、誤読み出しの防止と消費電力の低減とを図ることができる。請求項9の発明によれば、請求項1～8の発明において、各1対のメモリーセルを共通のビット線に接続するようにしたので、メモリーセルの占有面積を低減でき、よって、集積度の向上を図ることができる。

【0096】請求項10の発明によれば、請求項9の発明において、2本のワード線に対してソース線を1本だけ配置する構成としたので、集積度の顕著な向上を図ることができる。

【0097】請求項11～13の発明によれば、請求項9の発明において、ダミーセルを設け折り返しビット線構造としたので、センスアンプの感度を高く設定することができ、よって、誤読み出しの防止効果を顕著に発揮することができる。

【0098】請求項14の発明によれば、請求項9～13の発明において、フローティングゲートをゲート幅方向に非対称にかつ直線状に形成する構成としたので、製造工程の容易化とメモリーセルの微細化とを図ることができる。

【0099】請求項15～22の発明によれば、各請求項の発明の構造を利用した半導体記憶装置の駆動方法として、読みだし時には、非選択メモリーセルのビット線とソース線との電位関係が異方向抵抗部の逆方向となるように設定するようにしたので、非選択メモリーセルにおけるリーク電流の低減により、誤読み出しの防止と消費電力の低減とを図ることができる。

【0100】請求項22～24の発明によれば、請求項1の発明の構造を利用してホットエレクトロンの注入を利用した書き込みを行うようにしたので、メモリーセルへの書き込みとデプレッション化したメモリーセルの回復との円滑化を図ることができる。

50 【図面の簡単な説明】

【図1】第1実施例の半導体記憶装置のメモリセルアレイの電気回路図である。

【図2】第1実施例の半導体記憶装置のメモリセルの製造工程のうち n^+ 層を形成するまでの工程における構造の変化を示す断面図である。

【図3】第1実施例の半導体記憶装置のメモリセルの製造工程のうち SiO_2 膜の形成後ショットキーダイオードを形成するまでの工程における構造の変化を示す断面図である。

【図4】第1実施例の半導体記憶装置のメモリセルアレイの1ビット読み出し動作を示す図である。 10

【図5】第1実施例の半導体記憶装置のメモリセルアレイの1本のワード線一括読み出し動作を示す図である。

【図6】第2実施例の半導体記憶装置のメモリセル製造工程における構造の変化を示す断面図である。

【図7】第2実施例の半導体記憶装置のメモリセルの電圧-電流特性のシミュレーション結果を示す図である。

【図8】第2実施例の半導体記憶装置のメモリセルアレイの構成を示す電気回路図である。

【図9】第2実施例の半導体記憶装置のメモリセルアレイの1ビット読み出し動作を示す図である。 20

【図10】本発明の第2実施例の半導体記憶装置のメモリセルアレイの1本のワード線一括読み出し動作を示す図である。

【図11】第3実施例の半導体記憶装置のメモリセルの製造工程における構造の変化を示す断面図である。

【図12】第3実施例の半導体記憶装置のメモリセルの電圧-電流特性のシミュレーション結果を示す図である。

【図13】第4実施例の半導体記憶装置のメモリセルの製造工程のうち n^+ 層を形成するまでの工程における構造の変化を示す断面図である。 30

【図14】第4実施例の半導体記憶装置のメモリセルの製造工程のうち SiO_2 膜の形成後PNダイオードを形成するまでの工程における構造の変化を示す断面図である。

【図15】第5実施例におけるメモリセルアレイの構成を示す電気回路図である。

【図16】第5実施例におけるメモリセルアレイの読み出し動作を示す図である。 40

【図17】第5実施例の半導体記憶装置のメモリセルの構造を示す断面図及び平面図である。

【図18】第5実施例の半導体記憶装置のメモリセルのフローティングゲートのパターンニング状態を示す平面図である。

【図19】第5実施例の半導体記憶装置のメモリセル単体のワード線方向の構造を示す断面図である。

【図20】第6実施例の半導体記憶装置のメモリセルアレイの構成を示す電気回路図である。

【図21】第6実施例のメモリセルアレイの読み出し動 50

作を示す図である。

【図22】第6実施例の半導体記憶装置のメモリセルの断面図である。

【図23】第7実施例の半導体記憶装置のメモリセルアレイの構成を示す電気回路図である。

【図24】第7実施例の半導体記憶装置のメモリセルアレイの1ビット単位の読み出し動作を示す図である。

【図25】第7実施例の半導体記憶装置のメモリセルアレイのワード線一括読み出し動作を示す図である。

【図26】第7実施例の半導体記憶装置のメモリセルの構造を示す断面図及び平面図である。

【図27】第8実施例の半導体記憶装置のメモリセルアレイの構成を示す電気回路図である。

【図28】第8実施例の半導体記憶装置のメモリセルアレイの1ビット単位の読み出し動作を示す図である。

【図29】第8実施例の半導体記憶装置のメモリセルアレイのワード線一括読み出し動作を示す図である。

【図30】第8実施例の半導体記憶装置のメモリセルの構造を示す断面図である。

【図31】従来の半導体記憶装置のブロック回路図である。

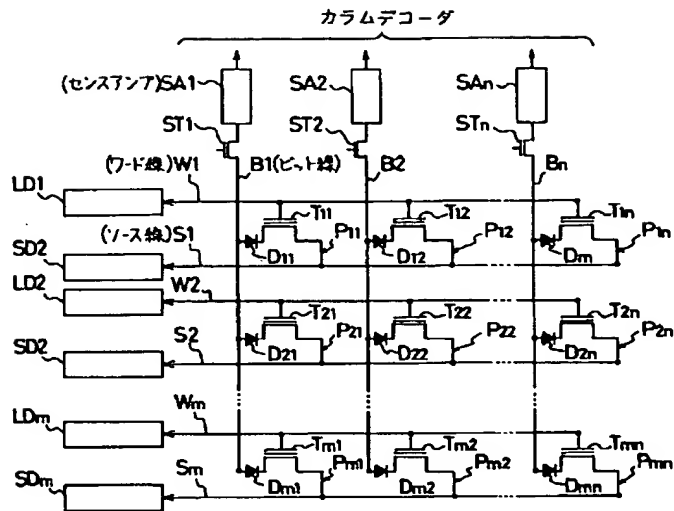
【図32】従来の半導体記憶装置のメモリセルアレイの構成を示す電気回路図である。

【図33】従来の半導体記憶装置のメモリセルアレイの読み出し動作を示す図である。

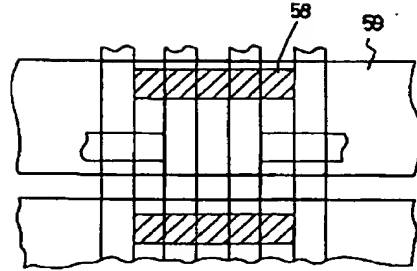
【符号の説明】

W	ワード線
B	ビット線
S	ソース線
D	ダイオード
SA	センスアンプ
ST	列選択用トランジスタ
SD	ソースデコーダ
LD	ロウデコーダ
1	半導体基板
2	トンネル SiO_2 膜
3	フローティングゲート
4	容量絶縁膜
5	コントロールゲート
6	SiO_2 膜
7	レジスト
9	n^- 層
10	レジスト
21	n^+ 層
22	SiO_2 膜
24	サイドウォール
25	WSix膜
101	メモリセルアレイ
102	ロウデコーダ回路
103	カラムデコーダ回路

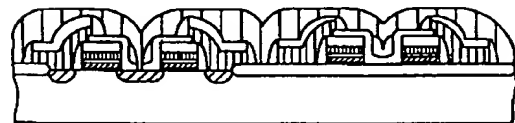
【図1】



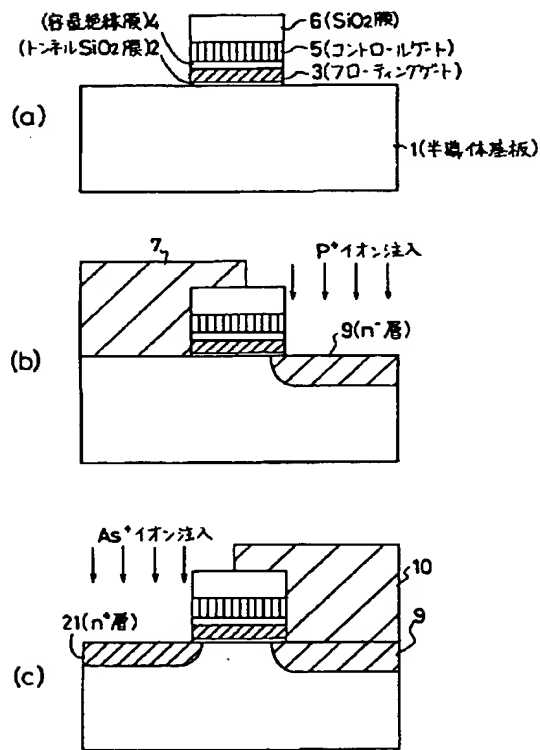
【図18】



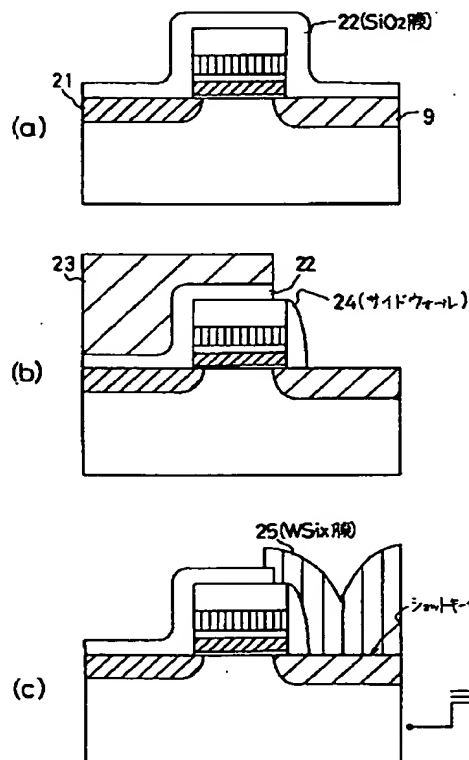
【図30】



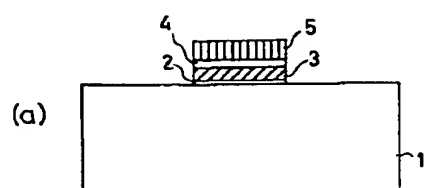
【図2】



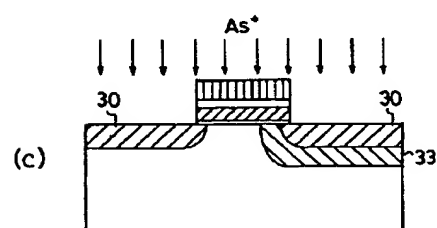
【図3】



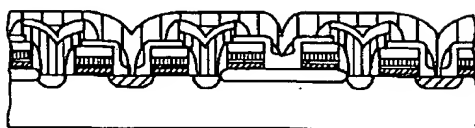
【圖 1 1】



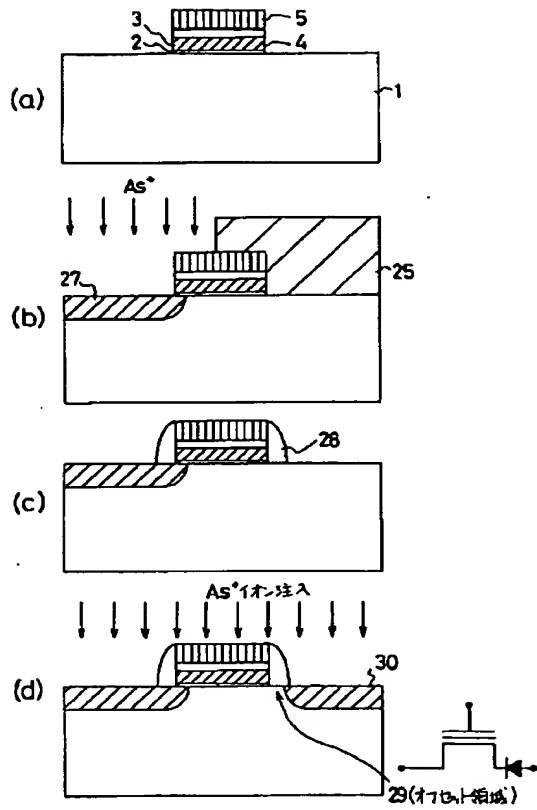
(b) This diagram shows the device after a second etching process. The top layer 31 is now a thin film. The second conductive layer 33 is exposed in the central region. The etching process has also removed the second insulating layer 32 in the central region, exposing the first conductive layer 30. The label BF_3 with arrows indicates the etching gas used.



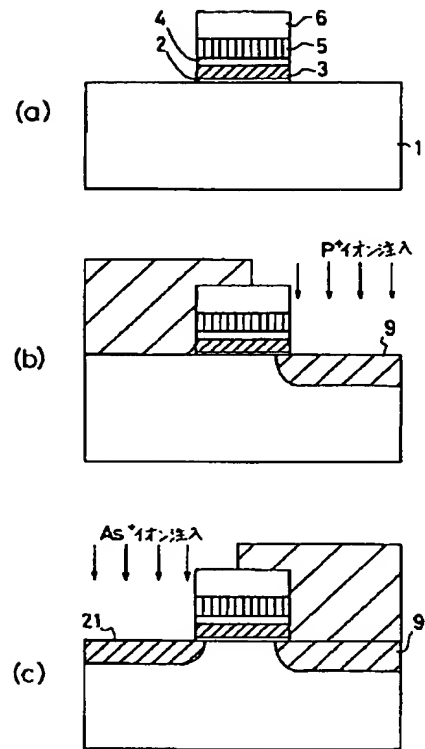
【圖 22】



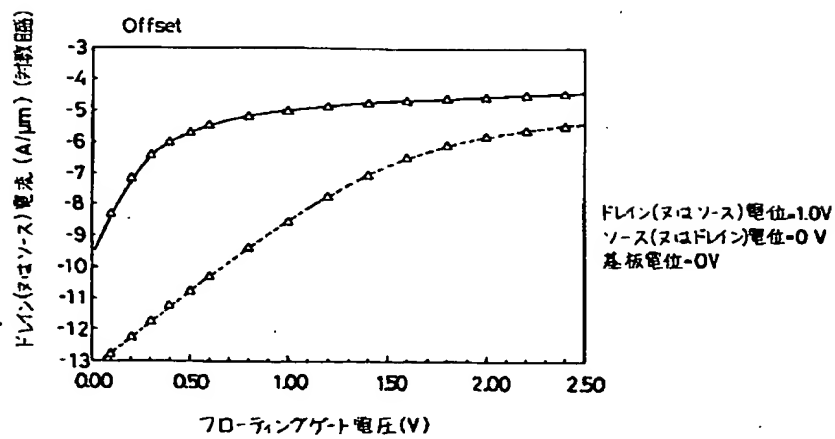
【図6】



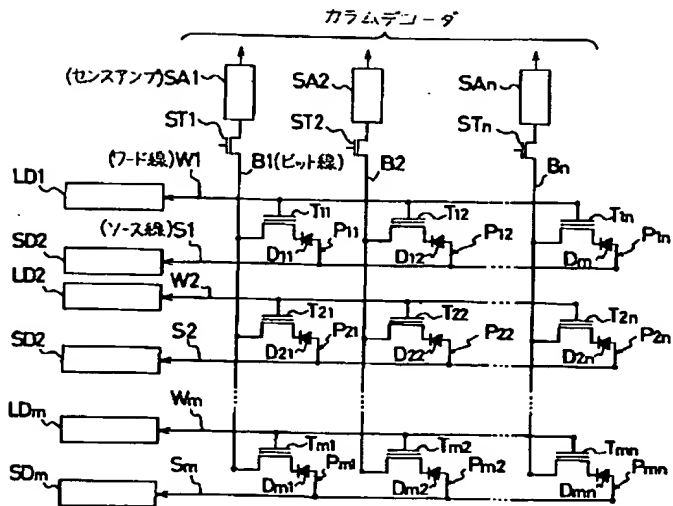
【図13】



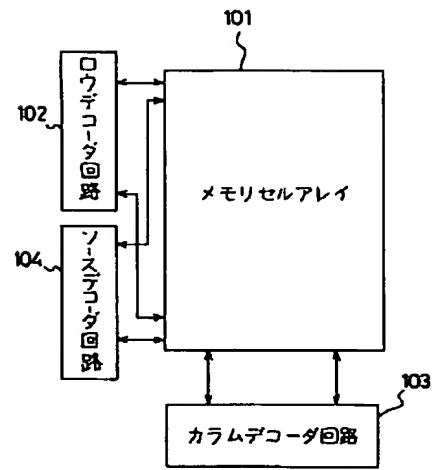
【図7】



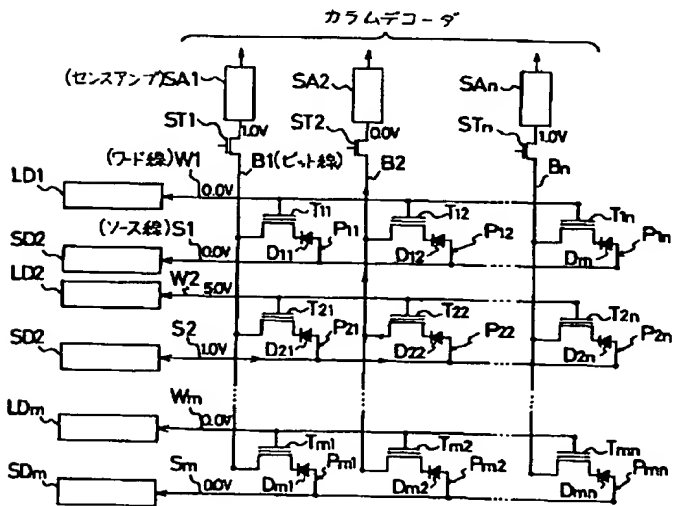
【図 8】



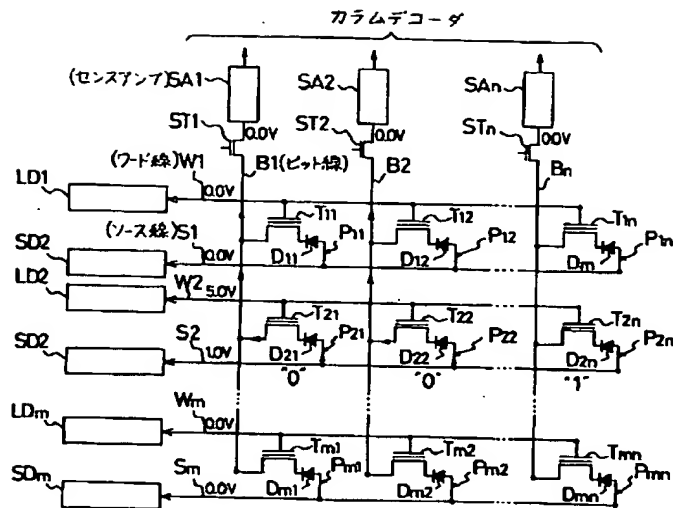
【図 31】



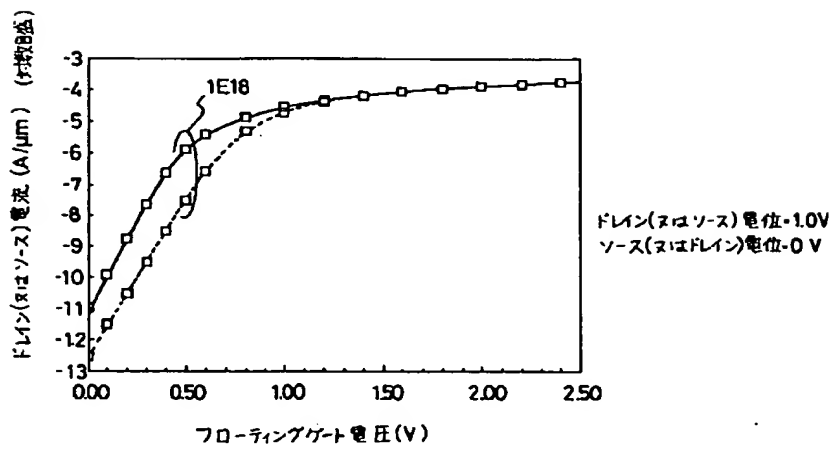
【図 9】



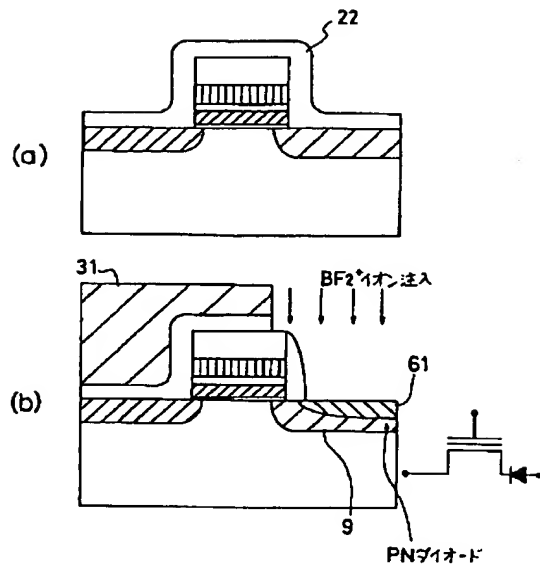
【図10】



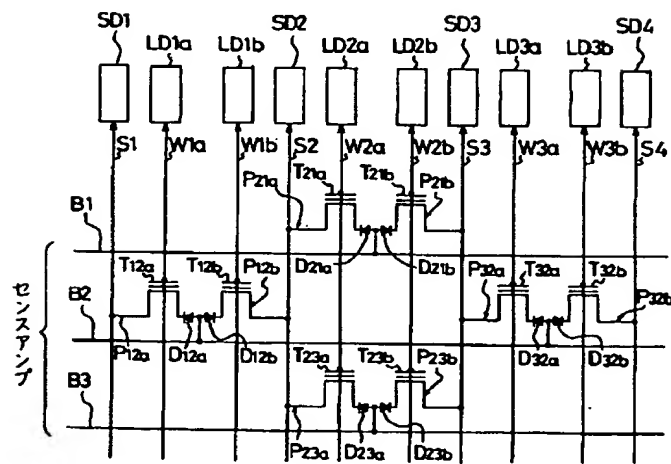
【図12】



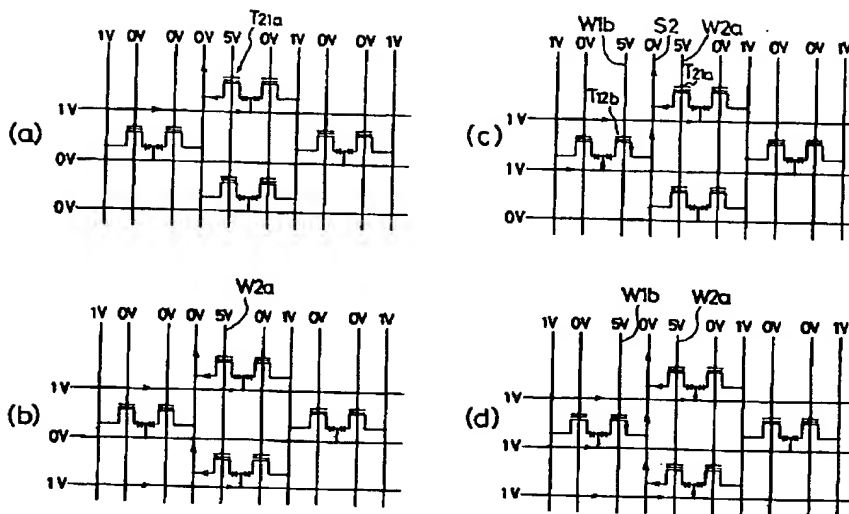
【図 14】



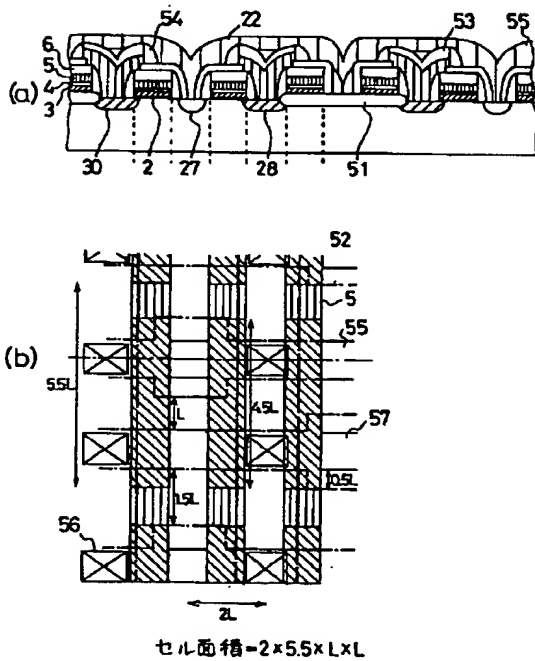
【図 15】



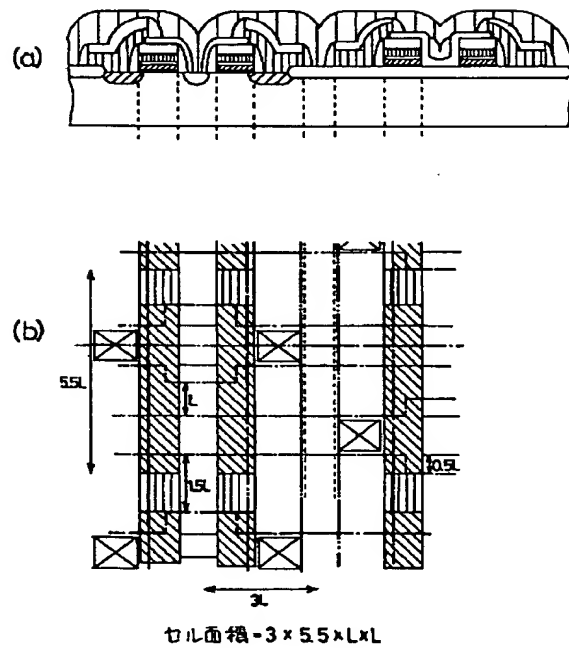
【図 16】



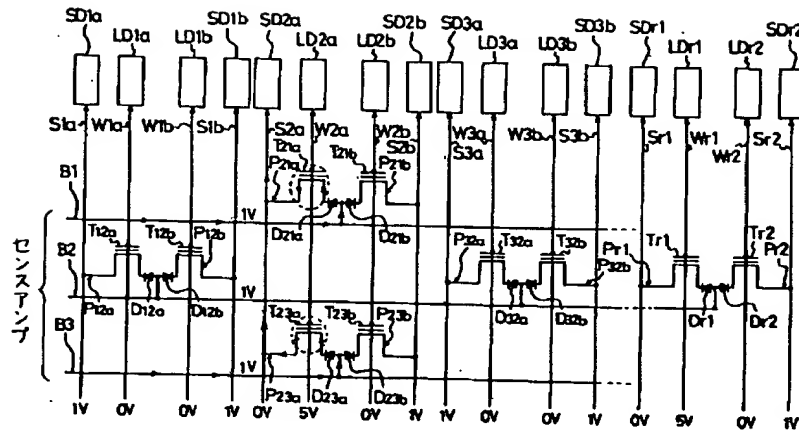
【図 17】



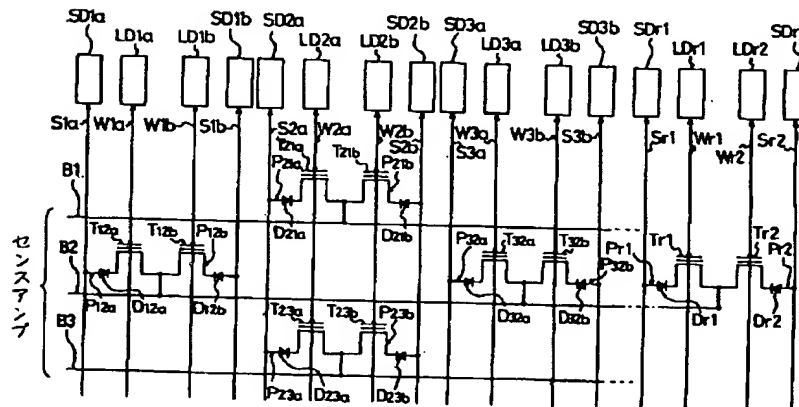
【図 26】



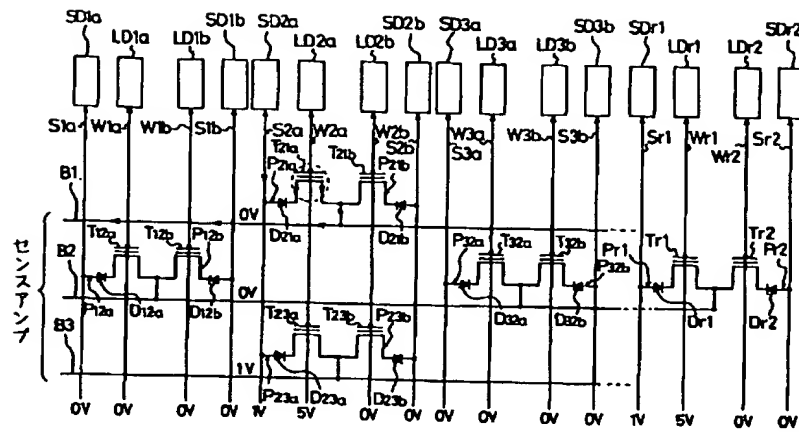
【図 25】



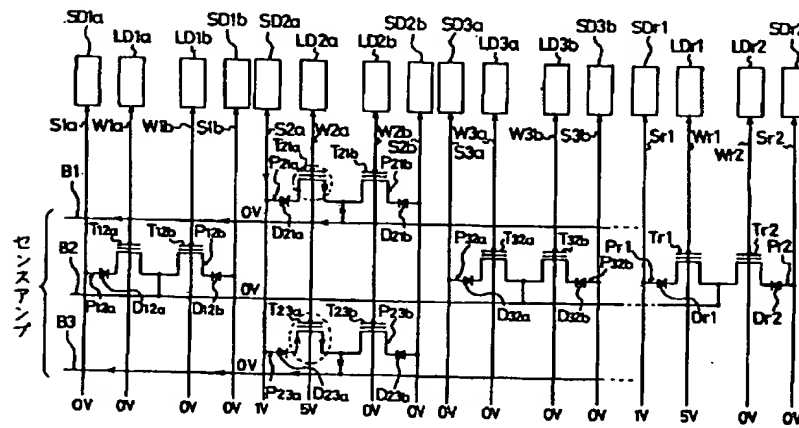
【図 27】



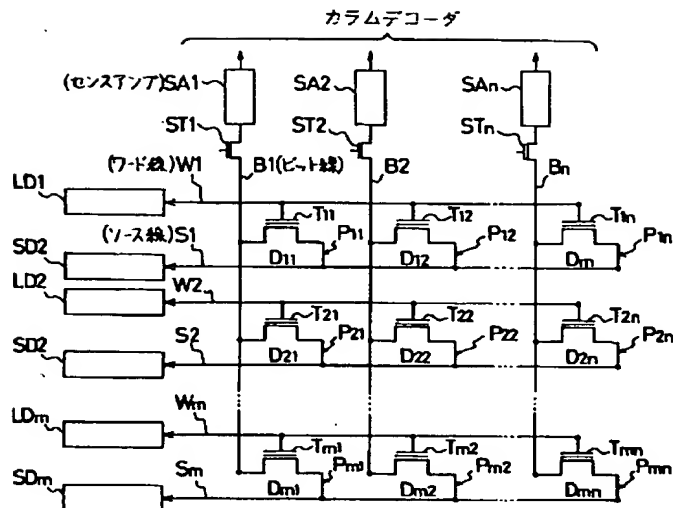
【図28】



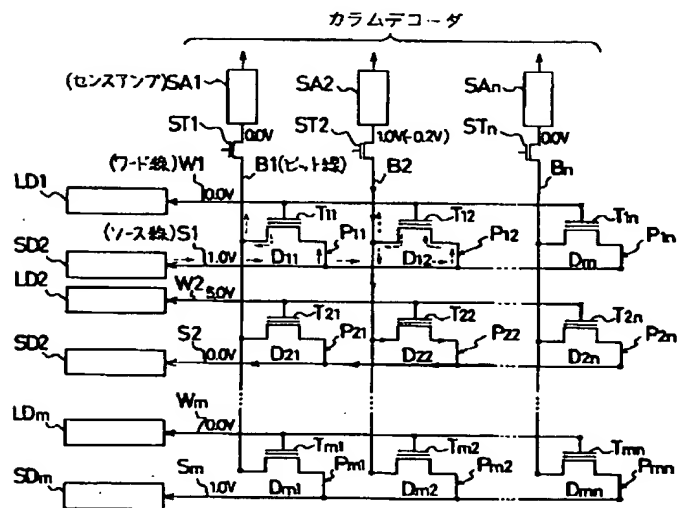
【図29】



【図32】



【図33】



【手続補正書】

【提出日】平成7年9月22日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】半導体記憶装置及びその駆動方法

【特許請求の範囲】

【請求項1】 少なくともゲート、ソース、ドレインからなるトランジスタと容量部とを有する不揮発性メモリセルを行列状に配列してなるアレイと、
 上記アレイの行方向に配置された各トランジスタのゲートに接続される複数のワード線と、
 上記アレイの列方向に配置された各トランジスタのドレインに接続される複数のビット線と、

上記アレイの行方向に配置された各トランジスタのソースに接続される複数のソース線と、
 上記ワード線を選択するためのデコーダ回路と、
 上記ビット線を選択するためのデコーダ回路と、
 上記ソース線を選択するためのデコーダ回路と、
 上記ビット線から各トランジスタを経て上記ソース線に至る各経路の少なくとも一部位に介設され、両端に印加される電圧の高低によって異なる電圧-電流特性を示し、電流が流れやすい順方向と電流が流れにくい逆方向とを有する異方向抵抗部とを備えたことを特徴とする半導体記憶装置。

【請求項2】 請求項1記載の半導体記憶装置において、
 上記異方向抵抗部は、一方向のみの電流の流通を許容するダイオードであることを特徴とする半導体装置記憶装置。

【請求項3】 請求項2記載の半導体記憶装置において、
 上記ダイオードは、上記各トランジスタのソース及びドレインのうちいずれか一方を構成する半導体基板の領域の表面上に直接導電膜を堆積して形成されたショットキーダイオードであることを特徴とする半導体記憶装置。

【請求項4】 請求項2記載の半導体記憶装置において、
 上記ダイオードは、上記各トランジスタのソース及びドレインのうちいずれか一方を構成する半導体基板内の領域と半導体基板のコンタクト領域との間で形成されるPNダイオードであることを特徴とする半導体記憶装置。

【請求項5】 請求項1記載の半導体記憶装置において、
 上記異方向抵抗部は、各トランジスタのソース及びドレインのうちいずれか一方とゲート下方のチャネル領域との間にチャネル領域と同じ導電型の不純物を導入してなるオフセット領域であることを特徴とする半導体記憶装置。

【請求項6】 請求項1記載の半導体記憶装置において、
 上記メモリセルのうち各一对のメモリセルのドレインが共通のビット線に接続されており、
 上記各1対のメモリセルが列方向に1つおきに配置されてチェッカー模様の行列状に配列されたアレイ構造が構成され、
 上記2本のワード線に対して1本の割合でソース線が配置され、上記各1つのソース線に隣接する2つのワード線に接続されるメモリセルのソースが、上記各1つのソース線に共通に接続されていることを特徴とする半導体記憶装置。

【請求項7】 請求項6記載の半導体記憶装置において、
 リファレンス電位を要するセンスアンプと、

上記ビット線にリファレンス用のダミーセルとを備え、互いに隣接するビット線の一つで上記リファレンス電位を生成することを特徴とする半導体記憶装置。

【請求項8】 少なくともゲート、ソース、ドレインからなるトランジスタと容量部とを有する不揮発性メモリセルを行列状に配列してなるアレイと、上記アレイの行方向に配置された各トランジスタのゲートに接続される複数のワード線と、上記アレイの列方向に配置された各トランジスタのドレインに接続される複数のビット線と、上記アレイの行方向に配置された各トランジスタのソースに接続される複数のソース線と、上記ワード線を選択するためのデコーダ回路と、上記ビット線を選択するためのデコーダ回路と、上記ソース線を選択するためのデコーダ回路と、上記ビット線から各トランジスタを経て上記ソース線に至る各経路の少なくとも一部位に介設され、両端に印加される電圧の高低によって異なる電圧-電流特性を示し、電流が流れやすい順方向と電流が流れにくい逆方向とを有する異方向抵抗部とを備えた半導体記憶装置の駆動方法であって、

データの読出しを所望するメモリセルに接続されているビット線を上記カラムデコーダ回路で選択し、
 上記メモリセルに接続されているソース線を上記ソースデコーダ回路で選択し、
 上記選択ビット線及び選択ソース線の電位を、両者の電位関係がメモリセルの異方向抵抗部の順方向に一致するように、かつ高電位側を読み出し用電位に設定し、
 非選択ソース線の電位を上記選択ビット線及び選択ソース線の低電位側の電位以上でかつ上記読み出し電位以下に設定することを特徴とする半導体記憶装置の駆動方法。

【請求項9】 請求項8記載の半導体記憶装置の駆動方法において、
 半導体記憶装置は、リファレンス電位を要するセンスアンプと、上記ビット線にリファレンス用のダミーセルとを備え、互いに隣接するビット線の一つで上記リファレンス電位を生成するように構成されており、
 上記選択ビット線に隣接しているビット線に接続されているダミーメモリメモリセルを選択し、
 非選択ビット線のうち選択ビット線と隣接するビット線の電位を上記選択ビット線の電位と同じ電位にし、
 上記選択ダミーセルに接続されるビット線及びソース線の電位関係がダミーセルの異方向抵抗部の順方向になるように選択ダミーセルに接続されるソース線の電位を設定し、
 上記隣接するビット線にリファレンス電位を生成することを特徴とする半導体記憶装置の駆動方法。

【請求項10】 請求項8記載の半導体記憶装置の駆動方法において、
 読出し時にすべてのワード線電位を接地電位にすることを特徴とする半導体記憶装置の駆動方法。

【請求項11】 少なくともゲート、ソース、ドレインからなるトランジスタと容量部とを有する不揮発性メモリセルを行列状に配列してなるアレイと、上記アレイの行方向に配置された各トランジスタのゲートに接続される複数のワード線と、上記アレイの行方向に配置された各トランジスタのドレインに接続される複数のビット線と、上記アレイの行方向に配置された各トランジスタのソースに接続される複数のソース線と、上記ワード線を選択するためのデコーダ回路と、上記ビット線を選択するためのデコーダ回路と、上記ソース線を選択するためのデコーダ回路と、上記ビット線から各トランジスタを経て上記ソース線に至る各経路の少なくとも一部位に介設され、両端に印加される電圧の高低によって異なる電圧-電流特性を示し、電流が流れやすい順方向と電流が流れにくい逆方向とを有する異方向抵抗部とを備え、異方向抵抗部の順方向をビット線側が高電位になるように形成してなる半導体記憶装置の駆動方法であって、消去状態のメモリセルのしきい値電圧を負に設定し、データ書き込みを所望するメモリセルに接続されているビット線を上記カラムデコーダ回路で選択し、上記メモリセルに接続されているソース線を上記ソースデコーダ回路で選択し、全てのワード線電位を接地電位にし、上記選択ビット線を高電位にし、選択ソース線の電位を接地電位にし、非選択ビット線を接地電位にし、上記選択ビット線-選択ソース線間に電流を流すことによりホットエレクトロンを発生させて上記所望するメモリセルのしきい値電圧を高く変化させることを特徴とする半導体記憶装置の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、不揮発性メモリとして機能する複数のメモリセルからなるアレイ構造を有する半導体記憶装置及びその駆動方法に関するものである。

【0002】

【従来の技術】従来より、不揮発性メモリセルを搭載した半導体記憶装置として、例えば特開平5-28778号公報や特開平4-15953号公報に開示されるごとく、不揮発性メモリセルを構成するメモリセルのソースに接続されるソース線にもソースデコーダを接続するようにしたものが知られている。以下、図31～図33を参照しながら、従来の不揮発性メモリセルを搭載した半導体記憶装置について説明する。図31は従来の半導体記憶装置の概略構成を示すブロック図である。101はメモリセルアレイ、102はロウデコーダ回路、103はカラムデコーダ回路、104はソースデコーダ回路である。図32は従来の半導体記憶装置のメモリセルアレイ101の一部を示す回路図である。ここで、 $T_{11} \sim T_{mn}$ は不揮発性メモリセルに内蔵されるトランジスタ、 W

$1 \sim W_m$ はワード線、 $B_1 \sim B_n$ はビット線、 $S_1 \sim S_m$ はソース線、 $ST_1 \sim ST_n$ は列選択用トランジスタである。図31に示すように、各トランジスタ $T_{11} \sim T_{mn}$ は、ソース、ドレイン及びゲートからなり、このトランジスタ $T_{11} \sim T_{mn}$ のゲート下方に容量部（フローティングゲート）が配置されて、不揮発性メモリセルが構成されている。そして、メモリセルアレイ101は、各トランジスタ $T_{11} \sim T_{mn}$ を内蔵するメモリセルを m 行 n 列の行列状に配置して構成されている。そして、第1行に配置されたトランジスタ $T_{11} \sim T_{1n}$ のゲートはワード線 W_1 に、第2行に配置されたトランジスタ $T_{21} \sim T_{2n}$ のゲートはワード線 W_2 に、第 m 行に配置されたトランジスタ $T_{m1} \sim T_{mn}$ のゲートはワード線 W_m にそれぞれ接続されている。また、第1行に配置されたトランジスタ $T_{11} \sim T_{1n}$ のソースはソース線 S_1 に、第2行に配置されたトランジスタ $T_{21} \sim T_{2n}$ のソースはソース線 S_2 に、第 m 行に配置されたトランジスタ $T_{m1} \sim T_{mn}$ のソースはソース線 S_m にそれぞれ接続されている。さらに、第1列に配置されたトランジスタ $T_{11} \sim T_{m1}$ のドレインはビット線 B_1 に、第2列に配置されたトランジスタ $T_{12} \sim T_{m2}$ のドレインはビット線 B_2 に、第 n 列に配置されたトランジスタ $T_{1n} \sim T_{mn}$ のドレインはビット線 B_n にそれぞれ接続されている。すなわち、ワード線 $W_1 \sim W_m$ とビット線 $B_1 \sim B_n$ の交点にトランジスタを配置するNOR型の構成である。ここで、ワード線 $W_1 \sim W_m$ とソース線 $S_1 \sim S_m$ は同じ方向に延びて、ワード線 $W_1 \sim W_m$ はロウデコーダ回路102の各ロウデコーダ $RD_1 \sim RD_m$ に、ソース線 $S_1 \sim S_m$ はソースデコーダ回路104のソースデコーダ $SD_1 \sim SD_m$ に接続される一方、ビット線 $B_1 \sim B_n$ は上記ワード線 $W_1 \sim W_m$ 及びソース線 $S_1 \sim S_m$ とは直交する方向に延びてセンスアンプ $SA_1 \sim SA_n$ を介してカラムデコーダ回路103に接続されている。そして、後述のように、各ビット線 $B_1 \sim B_n$ の一部から各トランジスタ $T_{11} \sim T_{mn}$ を経て各ソース線 $S_1 \sim S_m$ に至る経路 $P_{11} \sim P_{mn}$ には、ゲートの電位がしきい値以上でドレイン-ソース間の電位が所定値以上のときに、容量部のメモリ状態が“1”であれば電流が流れ、容量部のメモリ状態が“0”のときには電流が流れないようになされている。

【0003】次に、図33を参照しながら、従来の半導体記憶装置のデータ読み出し方法について説明する。EPROMに代表される半導体記憶装置ではトランジスタのしきい値を電氣的に大きく変化させることで書き込みと消去が行なわれる。一般には、トランジスタが読み出し電源電圧 V_{cc} より高しきい値電圧にある状態を“0”状態、トランジスタが読み出し電源電圧 V_{cc} より低しきい値電圧にある状態を“1”状態と言い、以後そう呼ぶことにする。

【0004】例えばトランジスタ T_{22} を内蔵するメモリセル（以下、メモリセル（ T_{22} ）と記述する）を読みだ

す場合について従来の読み出し方法を説明する。まず、選択ワード線W2を読み出し電源電圧Vcc(例えば5V)にし、非選択ワード線W1、Wmを接地電位Vss(例えば0V)にする。同時に選択ソース線S2を接地電位Vssにし、非選択ソース線S1、Smを読み出し中間電位Vrm(例えば1V)にするか、あるいは中間電位Vrmに保ったままフローティングにする。また、選択ビット線B2をセンスアンプを介して中間電位Vrmにし、非選択ビット線B1、Bnを接地電位Vssにするか、あるいは接地電位Vssに保ったままフローティングにする。実際には、ビット線にはセンスアンプが接続されているため、ビット線の電位は中間電位Vrmから僅かに変動するが、ここでは説明を簡単にするために一定の電圧であるとする。また、非選択ソース線と非選択ビット線をフローティングにする場合もあったが、簡単のために、非選択ソース線は読み出し中間電位Vrm、非選択ビット線は接地電位Vssとする。メモリセル(T22)が“0”状態ならばメモリセル(T22)は電流を流さず、ビット線B2には電流が流れない。メモリセル(T22)が“1”状態ならばビット線B2からメモリセル(T22)を通してソース線S2に電流が流れる。ビット線B2の電流の有無をセンスアンプで検知することでデータが読み出される。

【0005】このような構造を有する半導体装置では、ソース線S1の電位が中間Vrmでありビット線B2と同一電位であるため、ビット線B2からソース線S1には電流は流れにくく、非選択メモリセル(T12)を誤読み出しする虞れが少ないので、読み出しマージンが広がっている。

【0006】

【発明が解決しようとする課題】しかしながら、不揮発性メモリセルを搭載した半導体記憶装置では書き込みや消去動作を制御してもメモリセルの特性のばらつきが大きく、メモリセルを過剰にデプレッション化(しきい値電圧が負)してしまうことがある。すなわち、半導体記憶装置の製造工程において、不純物濃度のバラツキや各部の寸法のバラツキによってしきい値にある程度は生じるが、半導体記憶装置の高集積化に伴い寸法等の誤差がしきい値のバラツキを大きくする傾向がある。しかも、高集積化されると発熱を抑制する等の目的で消費電力の低減を図るべく半導体記憶装置の動作電圧は低電圧化される傾向にあるため、製造工程におけるしきい値の分布の中心が低電圧側に移行してきている。斯かる原因が重畳して、半導体記憶装置の微細化、高集積化に伴い、一部のメモリセルにデプレッション化が生じる確率が高くなってきている。

【0007】そして、以上のような原因により、例えば図33に示す選択ビット線B2に接続された非選択メモリセル(T12)が過剰にデプレッション化しているときに、“1”状態のメモリセル(T22)を読み出す場合、

ビット線B2に電流が流れビット線B2の電位が低下する。そのとき読み出し中間電位のソース線S1からメモリセル(T12)を通してビット線B2に電流が流れ、ビット線B2の電位を読み出し中間電位に戻してしまう。ビット線B2の電位が変化しなければビット線B2に接続されているセンスアンプSA2は“1”状態のメモリセル(T22)を“0”状態であると判断し、誤読み出しになる虞れがある。すなわち、従来のような半導体記憶装置においては、デプレッションかしたメモリセルが存在する場合には、誤読み出しを招く虞れがあった。

【0008】以上の点に鑑み、本発明の第1の目的は、読み出しの際に非選択メモリセルにおける電流の発生を防止することにより、斯かる誤読み出しを防止することにある。

【0009】また、従来の不揮発性メモリセルを搭載した半導体記憶装置では、図33に示した読み出し動作において、例えば非選択メモリセル(T11)が弱いデプレッションである場合にも図33に示すようにソース線S1からビット線B1へ電流が流れる。この電流は非選択ビット線B1に流れるため誤読み出しにはならないが消費電力が増加する。従来の不揮発性半導体記憶装置では非選択ソース線や非選択ビット線をフローティングにする場合も述べているが、過渡電流が読み出すごとに生じ、高速で読みだせば低消費電力化できないという問題もあった。

【0010】本発明の第2の目的は非選択メモリセルにおけるリーク電流を防止することにより消費電力の低減を図ることにある。

【0011】

【課題を解決するための手段】上記第1の目的及び第2の目的を達成するために本発明が講じた手段は、ゲート、ソース、ドレインからなるトランジスタと容量部とを有する不揮発性メモリセルを行列状に配列してなるアレイ構造を有する半導体記憶装置に、ビット線から各トランジスタを経て上記ソース線に至る各経路の少なくとも一部位に、両端に印加される電圧の高低によって異なる電圧-電流特性を示し、電流が流れやすい順方向と電流が流れにくい逆方向とを有する異方向抵抗部を設けることにある。

【0012】具体的に請求項1の発明が講じた手段は、半導体装置に、少なくともゲート、ソース、ドレインからなるトランジスタと容量部とを有する不揮発性メモリセルを行列状に配列してなるアレイと、上記アレイの行方向に配置された各トランジスタのゲートに接続される複数のワード線と、上記アレイの列方向に配置された各トランジスタのドレインに接続される複数のビット線と、上記アレイの行方向に配置された各トランジスタのソースに接続される複数のソース線と、上記ワード線を選択するためのデコード回路と、上記ビット線を選択するためのデコード回路と、上記ソース線を選択するため

のデコーダ回路と、上記ビット線から各トランジスタを経て上記ソース線に至る各経路の少なくとも一部位に介設され、両端に印加される電圧の高低によって異なる電圧-電流特性を示し、電流が流れやすい順方向と電流が流れにくい逆方向とを有する異方向抵抗部とを設ける構成としたものである。

【0013】請求項2の発明が講じた手段は、請求項1の発明において、上記異方向抵抗部を、一方向のみの電流の流通を許容するダイオードで構成したものである。

【0014】請求項3の発明が講じた手段は、請求項2の発明において、上記ダイオードを、上記各トランジスタのソース及びドレインのうちいずれか一方を構成する半導体基板の領域の表面上に直接導電膜を堆積して形成されたショットキーダイオードで構成したものである。

【0015】請求項4の発明が講じた手段は、請求項2の発明において、上記ダイオードを、上記各トランジスタのソース及びドレインのうちいずれか一方を構成する半導体基板内の領域と半導体基板のコンタクト領域との間で形成されるPNダイオードで構成したものである。

【0016】請求項5の発明が講じた手段は、請求項1の発明において、上記異方向抵抗部は、各トランジスタのソース及びドレインのうちいずれか一方とゲート下方のチャネル領域との間にチャネル領域と同じ導電型の不純物を導入してなるオフセット領域で構成したものである。

【0017】請求項6の発明が講じた手段は、請求項1の発明において、上記メモリセルのうち各一对のメモリセルのドレインを共通のビット線に接続し、上記各1対のメモリセルを列方向に1つおきに配置されてチェッカー模様の行列状に配列されたアレイ構造を構成し、上記2本のワード線に対して1本の割合でソース線を配置して、上記各1つのソース線に隣接する2つのワード線に接続されるメモリセルのソースを上記各1つのソース線に共通に接続する構成としたものである。

【0018】請求項7の発明が講じた手段は、請求項6記載の発明において、リファレンス電位を要するセンスアンプと、上記ビット線にリファレンス用のダミーセルとを設け、互いに隣接するビット線的一方で上記リファレンス電位を生成するように構成したものである。

【0019】また、上記請求項1の構成を有する半導体記憶装置の駆動方法として、選択ビット線及び選択ソース線の電位を、両者の電位関係がメモリセルの異方向抵抗部の順方向に一致するように、かつ高電位側を読み出し用電位に設定し、非選択ソース線の電位を上記選択ビット線及び選択ソース線の低電位側の電位以上でかつ上記読み出し電位以下に設定する。

【0020】具体的に請求項8の発明が講じた手段は、少なくともゲート、ソース、ドレインからなるトランジスタと容量部とを有する不揮発性メモリセルを行列状に配列してなるアレイと、上記アレイの行方向に配置され

た各トランジスタのゲートに接続される複数のワード線と、上記アレイの列方向に配置された各トランジスタのドレインに接続される複数のビット線と、上記アレイの行方向に配置された各トランジスタのソースに接続される複数のソース線と、上記ワード線を選択するためのデコーダ回路と、上記ビット線を選択するためのデコーダ回路と、上記ソース線を選択するためのデコーダ回路と、上記ビット線から各トランジスタを経て上記ソース線に至る各経路の少なくとも一部位に介設され、両端に印加される電圧の高低によって異なる電圧-電流特性を示し、電流が流れやすい順方向と電流が流れにくい逆方向とを有する異方向抵抗部とを備えた半導体記憶装置の駆動方法として、データの読出しを所望するメモリセルに接続されているビット線を上記カラムデコーダ回路で選択し、上記メモリセルに接続されているソース線を上記ソースデコーダ回路で選択し、上記選択ビット線及び選択ソース線の電位を、両者の電位関係がメモリセルの異方向抵抗部の順方向に一致するように、かつ高電位側を読み出し用電位に設定し、非選択ソース線の電位を上記選択ビット線及び選択ソース線の低電位側の電位以上でかつ上記読み出し電位以下に設定する方法である。

【0021】請求項9の発明が講じた手段は、請求項8の発明において、半導体記憶装置を、リファレンス電位を要するセンスアンプと、上記ビット線にリファレンス用のダミーセルとを備え、互いに隣接するビット線的一方で上記リファレンス電位を生成するように構成し、上記選択ビット線に隣接しているビット線に接続されているダミーメモリメモリセルを選択し、非選択ビット線のうち選択ビット線と隣接するビット線の電位を上記選択ビット線の電位と同じ電位にし、上記選択ダミーセルに接続されるビット線及びソース線の電位関係がダミーセルの異方向抵抗部の順方向になるように選択ダミーセルに接続されるソース線の電位を設定し、上記隣接するビット線にリファレンス電位を生成する方法である。

【0022】請求項10の発明が講じた手段は、請求項8の発明において、読出し時にすべてのワード線電位を接地電位にする方法である。

【0023】請求項11の発明が講じた手段は、少なくともゲート、ソース、ドレインからなるトランジスタと容量部とを有する不揮発性メモリセルを行列状に配列してなるアレイと、上記アレイの行方向に配置された各トランジスタのゲートに接続される複数のワード線と、上記アレイの列方向に配置された各トランジスタのドレインに接続される複数のビット線と、上記アレイの行方向に配置された各トランジスタのソースに接続される複数のソース線と、上記ワード線を選択するためのデコーダ回路と、上記ビット線を選択するためのデコーダ回路と、上記ソース線を選択するためのデコーダ回路と、上記ビット線から各トランジスタを経て上記ソース線に至る各経路の少なくとも一部位に介設され、両端に印加さ

れる電圧の高低によって異なる電圧-電流特性を示し、電流が流れやすい順方向と電流が流れにくい逆方向とを有する異方向抵抗部とを備え、異方向抵抗部の順方向をビット線側が高電位になるように形成してなる半導体記憶装置の駆動方法として、消去状態のメモリセルのしきい値電圧を負に設定し、データ書き込みを所望するメモリセルに接続されているビット線を上記カラムデコーダ回路で選択し、上記メモリセルに接続されているソース線を上記ソースデコーダ回路で選択し、全てのワード線電位を接地電位にし、上記選択ビット線を高電位にし、選択ソース線の電位を接地電位にし、非選択ビット線を接地電位にし、上記選択ビット線-選択ソース線間に電流を流すことによりホットエレクトロンを発生させて上記所望するメモリセルのしきい値電圧を高く変化させる方法である。

【0024】

【作用】請求項1～5の発明では、メモリセルを行列状に配置したアレイにおいて、ビット線-ソース線間の各経路にメモリセルのトランジスタと電流の方向によって電圧-電流特性が異なる異方向抵抗部とが直列に接続された構造となっている。したがって、読み出し動作とは逆方向に流れる電流の大きさを小さくするか又は遮断することが可能となり、いずれかのメモリセルがデプレッション化していても非選択ソース線から非選択ビット線あるいは非選択ソース線から選択ビット線といった読み出し動作と逆方向に流れる不必要な電流が低減され又は阻止される。これにより、誤読み出しが防止され、消費電力も低減される。

【0025】請求項6の発明では、各1対のメモリセルが共通のビット線に接続されることで、メモリセルの占有面積が低減され、さらに、2本のワード線に対してソース線が1本で済むので、メモリセルの占有面積がさらに低減される。

【0026】請求項7の発明では、センスアンプの感度を高く設定することが可能となる。したがって、誤読み出しの防止作用が顕著になる。

【0027】請求項8～10の発明では、上記各請求項の発明の構造を利用した半導体記憶装置の駆動が行われる。その際、非選択メモリセルの中にデプレッション化しているものがあるとしても、メモリセルを通るビット線-ソース線間の経路に異方向抵抗部が設けられており、読みだし時には、非選択メモリセルのビット線とソース線との電位関係が異方向抵抗部の逆方向となるように設定されるので、非選択メモリセルにおけるリーク電流が低減され、あるいは阻止される。したがって、この非選択メモリセルのリーク電流に起因する誤読み出しが防止されるとともに、消費電力も低減する。

【0028】請求項11の発明では、請求項1の発明の構造を利用した書き込みやデプレッション化したメモリセルの回復が円滑に行われる。

【0029】

【実施例】以下、本発明の各実施例について、各々図面を参照しながら説明する。

【0030】（第1実施例）まず、第1実施例における半導体記憶装置とその読み出し方法について、図1～図5を参照しながら説明する。図1に示すように、本実施例の半導体記憶装置のブロック回路図は図31に示した従来の不揮発性メモリセルを搭載した半導体記憶装置のブロック回路図と同一であり説明は省略する。図1は本発明の第1実施例に係るフラッシュ型EEPROMのメモリセルアレイの一部を示す回路図であって、トランジスタ $T_{11} \sim T_{mn}$ と容量部とを内蔵する複数の不揮発性メモリセル(T_{11})～(T_{mn})が m 行 n 列の行列状に配置されたメモリセルアレイの構造となっている。図1において、各ビット線 $B_1 \sim B_n$ 、ワード線 $W_1 \sim W_m$ 、ソース線 $S_1 \sim S_m$ 、各メモリセル(T_{11})～(T_{mn})、各列選択用トランジスタ $ST_1 \sim ST_n$ 、各センスアンプ $SA_1 \sim SA_n$ 、各rowデコーダ $RD_1 \sim RD_m$ 及び各ソースデコーダ $SD_1 \sim SD_m$ の構造及び配置関係は、上記従来例における図31に示す構造と同じである。

【0031】ここで、本実施例の特徴として、各トランジスタ $T_{11} \sim T_{mn}$ のドレインと各ビット線 $B_1 \sim B_n$ との間に、ビット線側からトランジスタ側への電流の流通のみを許容するダイオード $D_{11} \sim D_{mn}$ がそれぞれ配置されている。そして、この各ダイオード $D_{11} \sim D_{mn}$ により、各経路 $P_{11} \sim P_{mn}$ において、各トランジスタ $T_{11} \sim T_{mn}$ のドレインからソース方向（順方向）に流れる電流はトランジスタの動作電流とほぼ等しく、ソースからドレイン方向（逆方向）に流れる電流はほとんど遮断されあるいは低減されるという電流特性が得られる。すなわち、このダイオードが本発明でいう異方向抵抗部である。ただし、異方向抵抗部は、逆方向における電流値がほぼ完全に遮断されるというダイオードとしての機能を必ずしも有しなくても、逆方向の電流値が順方向に比べて小さいものであればよいが、以下の実施例では、便宜上すべてダイオードとして表現する。

【0032】次に、このような構造を有する半導体記憶装置の製造工程について、図2(a)～(c)及び図3(a)～(c)を参照しながら説明する。各図において、1はP型半導体基板、2はトンネル SiO_2 膜、3はフローティングゲート、4は容量絶縁膜、5はポリサイド膜等の導電性材料からなるコントロールゲート（ポリサイド）、6は SiO_2 膜、7はレジスト、9は n -層、10はレジスト、21は $n+$ 層、22は SiO_2 膜、23はレジスト、24はサイドウォール、25は W_{Six} 膜である。

【0033】まず、図2(a)に示すように、P型半導体基板1の表面にトンネル SiO_2 膜2を熱酸化により形成し、フローティングゲート3をパターンニングした

後、上記フローティングゲート3の表面に容量絶縁膜4をCVD法や熱酸化法などを用いて形成し、上記フローティングゲート3を覆うようにコントロールゲート5を構成するポリサイド等の導電性材料膜と保護膜としてSiO₂膜6を形成する。その後、上記フローティングゲート3に交差するようにコントロールゲート5とSiO₂膜6とをパターンニングし、パターンニングしたコントロールゲート5とSiO₂膜6とをマスクとして、自己整合的に容量絶縁膜4、フローティングゲート、トンネルSiO₂膜2を異方性エッチング法によりエッチングする。図2(a)に示される構造は、従来スタック型フローティングゲートEEPROMと呼ばれるゲート構造と同一の物である。

【0034】次に、レジスト7を塗布してダイオードDを形成する領域を開口し、P⁺イオン注入を行ない、所望の濃度に調整したn⁻層9を形成した後(図2(b)参照)。レジスト10を塗布し、ダイオードを形成する領域を残して開口し、As⁺イオン注入を行ない、高濃度のn⁺層21を形成する(図2(c)参照)。

【0035】次に、保護膜としてSiO₂膜22をCVD法により堆積した後(図3(a)参照)、レジスト23を塗布してダイオードを形成する領域を開口し、異方性エッチング法によりSiO₂膜22をエッチングバックしダイオードを形成する領域のゲート側壁にサイドウォール28を残す(図3(b)参照)。そして、図3(c)に示すように、半導体基板上にWSix膜25を堆積した後パターンニングし、ショットキーダイオードを形成する。上記WSix膜25は配線層としてパターンニングしてもよいし、コンタクトの埋め込み層としてパターンニングしてもよい。図3(c)に示すメモリセルは従来のスタック型フローティングゲート構造メモリセルトランジスタのソースまたはドレイン領域に相当する領域にショットキーダイオードが形成されているが、メモリセル全体の面積を増加させることはない。

【0036】次に、図4を参照しながら、第1実施例における半導体記憶装置の読み出し方法について説明する。その場合、上記ショットキーダイオードが形成された領域はソースでもドレインでもよいが、ここではドレインにショットキーダイオードが形成された場合の読み出し方法について説明する。なお、ソースにショットキーダイオードが形成された場合の読み出し方法については、第2実施例で説明する。

【0037】ここでは、メモリセル(T22)を読みだす場合について説明するものとし、メモリセル(T11)及び(T12)は過剰にデプレッション化(しきい値が負)していると仮定し、メモリセル(T22)を読み出す場合について説明する。選択ワード線W2を読み出し電源電圧V_{cc}(例えば5V)にし、非選択ワード線W1、Wmを接地電位V_{ss}(例えば0V)にする。同時に選択ソース線S2をV_{ss}に接地し、非選択ソース線S1、Smを

読み出し中間電位V_{rm}(例えば1V)にする。また、選択ビット線B2をセンスアンプを介して読み出し中間電位V_{rm}にし、非選択ビット線B1、Bnを接地電位V_{ss}にする。実際には、ビット線にはセンスアンプが接続されているため、ビット線の電位は中間電位V_{rm}から僅かに変動するが、ここでは説明を簡単にするためにビット線の電位は一定の電圧V_{rm}であるとする。

【0038】メモリセル(T22)が“0”状態ならばメモリセル(T22)は作動せず電流は流れない。また、メモリセル(T12)は過剰にデプレッション化しているが、ビット線B2と非選択ソース線S1の電位が同じであるためメモリセル(T12)には電流が流れない。したがって、選択ビット線B2には電流が流れずメモリセル(T22)が“0”状態にあることを誤りなく検知できる。

【0039】一方、メモリセル(T22)が“1”状態ならばメモリセル(T22)が作動して電流が流れ、選択ビット線B2の電位が僅かに低下する。その時、非選択ソース線S1と選択ビット線B2に電位差が生じるが、非選択メモリセル(T12)が過剰にデプレッション化している、メモリセル(T12)のドレインに接続されたダイオードDとは逆バイアスになるためメモリセル(T12)には電流が流れず、選択ビット線B2の電位を読み出し中間電位である1Vに戻すことはない。したがって、選択ビット線B2に電流が流れることでメモリセル(T22)が“1”状態にあることを検知できる。また、メモリセル(T11)も過剰にデプレッション化しており非選択ソース線S1と非選択ビット線B1に電位差1Vが生じているがメモリセル(T11)のドレインに接続されたダイオードD11とは逆バイアスになるためメモリセル(T11)には電流が流れず、非選択ビット線B1には電流が流れず、余分な電力消費が発生しない。

【0040】以上、メモリセルアレイに過剰にデプレッション化したメモリセルが生じて、選択ビット線の電流によって選択したメモリセルが“0”状態であるか“1”状態であるかを誤ることなく読み出すことができ、また、非選択ビット線には電流が流れないので余分な電力消費が発生しない。

【0041】なお、上記した第1実施例の読みだし方法では選択ビット線の電位と非選択ソース線電位を読み出し中間電位V_{rm}としたが、読み出し電源電圧V_{cc}としてもよい。

【0042】次に、図5を参照しながら、本実施例においてワード線に接続されている全てのメモリセルを一括に読み出す方法について説明する。ここでは、メモリセル(T11)及び(T12)が過剰にデプレッション化(しきい値が負)していると仮定し、ワード線W2に接続される全てのメモリセルを一括して読み出す場合について説明する。選択ワード線W2を読み出し電源電圧V_{cc}(例えば5V)にし、非選択ワード線W1、Wmを接地

電位 V_{ss} (例えば0 V) にする。同時に選択ソース線 S_2 を接地電位 V_{ss} にし、非選択ソース線 S_1 、 S_m を読み出し中間電位 V_{rm} (例えば1 V) にする。全てのビット線 B_1 、 B_2 、 B_n をセンスアンプを介して中間電位 V_{rm} にする。実際には、ビット線にはセンスアンプが接続されているため、ビット線の電位は中間電位 V_{rm} から僅かに変動するが、ここでは説明を簡単にするためにビット線の電位は一定の電圧 V_{rm} であるとする。メモリセルが“0”状態ならばビット線には電流が流れず、ビット線の電位は変動しない。メモリセルが“1”状態ならばメモリセルに電流が流れ、ビット線の電位が僅かに低下する。上記ビット線の電位の違いを各ビット線に接続したセンスアンプを使って検知する。非選択メモリセル(T_{11})や(T_{12})は過剰にデプレッション化しているとすると、非選択ソース線 S_1 と選択ビット線 B_2 に電位差が生じるが、非選択メモリセル(T_{12})は過剰にデプレッション化していても、メモリセル(T_{12})のドレインに接続されたダイオード D_{12} とは逆バイアスになるためメモリセル(T_{12})には電流が流れず、選択ビット線 B_2 の電位を読み出し中間電位である1 Vに戻すことはない。したがって、選択ビット線 B_2 に電流が流れることでメモリセル(T_{22})が“1”状態にあることを誤りなく検知できる。

【0043】また、ダイオード D_{11} は逆バイアスでも僅かにリーク電流を流すが、このようなワード線に接続されている全てのメモリセルを一括に読み出す方法では、非選択ソース線 S_1 と全てのビット線の電位が等しいために、リーク電流をも抑制することができ低消費電力化できる。なお、上記の読みだし方法ではビット線の電位と非選択ソース線の電位とを読み出し中間電位 V_{rm} としたが、両者共に読み出し電源電圧 V_{cc} としてもよい。各請求項では、これらを総称して読み出し電位としている。

【0044】次に、本実施例においてワード線の電位を接地電位にしたまま読み出す方法について説明する。読み出し方法は、図4あるいは図5で示した読み出し方法において全てのワード線 $W_1 \sim W_m$ を接地電位 V_{ss} (例えば0 V) にする方法であり、その説明だけのための図面は省略する。本実施例の“1”状態におけるメモリセルのしきい値電圧を負に設定すれば、メモリセルはワード線の電位を接地電位 V_{ss} (例えば0 V) にしても、“1”状態ならば電流を流し、“0”状態ならば電流を流さないため、図4あるいは図5で示した読み出し方法において全てのワード線 $W_1 \sim W_m$ を接地電位 V_{ss} (例えば0 V) にしても、メモリセルの状態をビット線電流を検知することでデータを読みだせる。すなわち選択ソース線 S_2 を接地電位 V_{ss} にし、非選択ソース線 S_1 、 S_m を読み出し中間電位 V_{rm} (例えば1 V) とし、選択ビット線 B_2 の電位をセンスアンプを介して読み出し中間電位 V_{rm} にし、非選択ビット線を V_{ss} にすることでソ

ース線とビット線とで選択したメモリセルを読み出すことができるのである。したがって、読み出し時にワード線電位の変動がなく一層の低消費電力化と低電源電圧化が可能である。

【0045】なお、上記第1実施例の読みだし方法ではビット線の電位と非選択ソース線の電位とを読み出し中間電位 V_{rm} としたが、両者共に読み出し電源電圧 V_{cc} としてもよい。

【0046】次に、ワード線の電位を接地電位にしたまま書き込む方法について説明する。本実施例の“1”状態におけるメモリセルのしきい値電圧を負に設定すれば、メモリセルはワード線の電位を接地電位 V_{ss} (例えば0 V) にしても電流が流れる。ワード線を接地したまま選択ビット線を高電位に、非選択ビット線を接地電位 V_{ss} にし、選択ソース線を接地電位にし、非選択ソース線を高電位あるいはフローティングにすることで、選択したメモリセルにホットエレクトロンを発生させ、“1”状態のメモリセルを“0”状態に変化させることができる。

【0047】なお、上記ワード線の電位を接地電位にしたまま書き込む方法を過剰にデプレッション化したメモリセルのしきい値電圧を高く戻すために用いてもよい。

【0048】なお、上述の説明では、メモリセルへの書き込みはホットエレクトロンの注入により行ったが、F-N電流による書き込みを行ってもよい。ただし、本実施例では、ドレイン側にダイオード D を設けているため、ドレインとフローティングゲート間に高電界を発生させて行うF-N電流による書き込み方法よりは、従来のフラッシュ型EEPROMにおけるホットエレクトロンによる書き込み方法の方が適している。

【0049】(第2実施例) 次に、第2実施例について、図6(a)～(d)、図7、図8、図9及び図10を参照しながら説明する。

【0050】図6(a)～(d)は第2実施例の半導体記憶装置の製造工程を示す。図6(a)～(d)において、25はレジスト、27は n^+ 層、28はサイドウォール、29はオフセット領域、30は n^+ 層である。図6(a)は、図2(a)に示す状態と同様にスタック型フローティングゲート構造を形成した時の状態を示す。この状態の基板の上にレジスト25を塗布し、ダイオードを形成する領域を残して開口し、 As^+ イオン注入を行い高濃度 n^+ 層27を形成する(図6(b)参照)。次に、 SiO_2 膜を堆積してエッチバックすることでサイドウォール28を形成した後(図6(c)参照)、 As^+ イオン注入を行い高濃度 n^+ 層30を形成する(図6(d)参照)。図6(d)に示す状態では、 n^+ 層30とフローティングゲート3とは水平方向でオフセットしており、このオフセット領域29の距離はサイドウォール28の膜厚で制御される。

【0051】次に、この図6(d)における n^+ 層30

オフセット領域29-チャネル領域の部分ダイオードとはほぼ類似の機能を有することを説明する。図7は、このようなオフセット領域を内蔵するメモリセルの電圧-電流特性をシミュレーションしたものである。縦軸はメモリセルの動作電流、横軸はゲート（フローティングゲート）電圧である。ゲート長は0.5ミクロンでオフセット量は0.2ミクロンであり、ドレイン-ソース間電圧は1Vである。同図において、実線はオフセット領域29と隣接するn+層30の側を高電位にした場合の電圧-電流特性を示し、点線はオフセット領域29と隣接するn+層30側を低電位にした場合の電圧-電流特性を示す。同図に示すように、順方向と逆方向では電流値が2桁以上異なっていることがわかる。すなわち、ソースドレイン間の電圧の高低の関係によって、異なる電流特性を有する。本実施例におけるメモリセルの構造は、図6(d)の右側に示すように、便宜上n+領域30の側にダイオードを付設してなる構造で表すことができる。ただし、実際には、ソースドレイン間にダイオードに相当する部分が介在した構造となっている。

【0052】したがって、本第2実施例のオフセット領域を内蔵したメモリセルの構造では、上記第1実施例におけるショットキーダイオードを付加したメモリセルに比べて一方の電流を遮断する機能は劣るものの、電流の流れる方向によって極端に抵抗値が異なるので、上記第1実施例のメモリセルの構造とはほぼ同様の機能が得られることがわかる。特に、本第2実施例のメモリセルの構造では、上記第1実施例のメモリセルの例とは異なり、レジストを露光する工程が少ないと言う利点がある。

【0053】次に、第2実施例の半導体記憶装置の読み出し方法について、図8～図10を参照しながら説明する。本実施例の場合でも、上記第1実施例と同様に、オフセット領域29に隣接するn+層30はソース又はドレインいずれであってもよい。本第2実施例では、オフセット領域29と隣接するn+領域30がソースである場合について説明する。なお、オフセット領域29に隣接するn+領域がドレインである場合には、上記第1実施例と同様の読み出し方法を適用することができる。

【0054】図8は、本実施例におけるメモリセルアレイの構造を示し、各メモリセルはメモリセルのソース側に、ソース側からドレイン側（つまりソース線側からビット線側）への電流のみを許容するダイオードDを接続した構成となっている。ソースからドレイン方向に流れる電流はメモリセルの動作電流とほぼ等しく、ドレインからソース方向に流れる電流は上記ダイオードDによってほとんど遮断されるという特性を有している。

【0055】次に、図9を参照しながら、本実施例における読み出し方法について説明する。ここではメモリセル(T11)及び(T12)は過剰にデプレッション化（しきい値が負）していると仮定し、メモリセル(T22)を読み出す場合について説明する。選択ワード線W2を讀

み出し電源電圧Vcc（例えば5V）にし、非選択ワード線W1、Wmを接地電位Vss（例えば0V）にする。同時に選択ソース線S2を読み出し中間電位Vrm（例えば1V）にし、非選択ソース線S1、Smを接地電位Vssにする。また、選択ビット線B2をセンスアンプを介して接地電位Vssにし、非選択ビット線B1、Bnを読み出し中間電位Vrmにする。実際には、ビット線にはセンスアンプが接続されているため、ビット線の電位は接地電位Vssから僅かに変動するが、ここでは説明を簡単にするためにビット線の電位は一定の電圧Vssであるとする。メモリセル(T22)が“0”状態ならばメモリセル(T22)は電流を流さない。また、メモリセル(T12)は過剰にデプレッション化しているがビット線B2と非選択ソース線S1の電位が同じでVssであるためメモリセル(T12)には電流が流れない。したがって、選択ビット線B2には電流が流れずメモリセル(T22)が“0”状態にあることを誤りなく検知できる。

【0056】一方、メモリセル(T22)が“1”状態の場合、メモリセル(T22)が作動して電流が流れ、選択ビット線B2の電位が僅かに上昇する。その際、選択ビット線B2と非選択ソース線S1に電位差が生じるが、非選択メモリセル(T12)は過剰にデプレッション化していても、メモリセル(T12)のソースに接続されたダイオードDとは逆バイアスになるためメモリセル(T12)には電流が流れず、選択ビット線B2の電位をVssに戻すことはない。したがって、選択ビット線B2に電流が流れることで、誤読み出しを生じることなくメモリセル(T22)が“1”状態にあることを検知できる。また、メモリセル(T11)も過剰にデプレッション化しており非選択ビット線B1と非選択ソース線S1に電位差1Vが生じているが、メモリセル(T11)のドレインに接続されたダイオードD11とは逆バイアスになるためメモリセル(T11)には電流が流れず、非選択ビット線B1には電流が流れず、余分な電力消費が発生しない。なお、上記読みだし方法では、選択ソース線の電位と非選択ビット線電位を読み出し中間電位Vrmとしたが、両者共に読み出し電源電圧Vccとしてもよい。

【0057】また、上記読みだし方法では選択ビット線の電位をセンスアンプを介して接地電位Vssにするとしたが、センスアンプがリファレンス電位を必要とする場合には選択ビット線の電位を接地電位Vssより大きく読み出し中間電位より小さくしてもよい。

【0058】次に、図10を参照しながら、本実施例においてワード線に接続されている全てのメモリセルを一括に読み出す方法について説明する。ここでは、メモリセル(T11)及び(T12)は過剰にデプレッション化（しきい値が負）していると仮定し、ワード線W2上の全メモリセルを一括に読み出す場合について説明する。選択ワード線W2を読み出し電源電圧Vcc（例えば5V）にし、非選択ワード線W1、Wmを接地電位Vss

(例えば0V)にする。同時に、選択ソース線S2を読み出し中間電位 V_{rm} (例えば1V)とし、非選択ソース線S1、Smを接地電位 V_{ss} にする。全てのビット線B1、B2、Bnをセンスアンプを介して接地電位 V_{ss} にする。実際には、ビット線B1～BnにはセンスアンプSA1～SA_nが接続されているため、ビット線B1～Bnの電位は接地電位 V_{ss} から僅かに変動するが、ここでは、説明を簡単にするためにビット線の電位は一定の電位 V_{ss} であるとする。

【0059】例えばメモリセル(T2n)が“0”状態の場合、メモリセル(T2n)は作動しないので、各ビット線には電流が流れず、ビット線の電位は変動しない。一方、各メモリセル(T21)、(T22)が“1”の場合、各メモリセル(T21)、(T22)が作動して電流が流れ、ビット線B2の電位が僅かに上昇する。このビット線の電位の違いをビット線に接続したセンスアンプにより検知する。非選択メモリセル(T11)や(T12)は過剰にデプレッション化しているが、非選択ソース線S1と全てのビット線の電位が等しく接地電位 V_{ss} であるために電流は流れない。また、ダイオードDは逆バイアスでも僅かにリーク電流を流すが、上記した1本のワード線上の全メモリセルの一括読み出し方法では上記リーク電流をも抑制することができ低消費電力化できる。また、従来の1本のワード線上の全メモリセルの一括読み出し方法とは異なり、選択ワード線と選択ソース線のみ電圧が印加されているため、読み出し始動時の低消費電力化が可能である。

【0060】なお、本第2実施例の読みだし方法では選択ソース線の電位を読み出し中間電位 V_{rm} (例えば1V)としたが、読み出し電源電圧 V_{cc} としてもよい。

【0061】なお、上記読みだし方法では、選択ビット線の電位をセンスアンプを介して接地電位 V_{ss} にしたが、センスアンプがリファレンス電位を必要する場合には選択ビット線の電位を接地電位 V_{ss} より大きく読み出し中間電位より小さくしてもよい。

【0062】次に、本実施例においてワード線の電位を接地電位にしたまま読み出す方法について説明する。読み出し方法は図9あるいは図10で示した読み出し方法において全てのワード線を接地電位 V_{ss} (例えば0V)にしたものであり、図面は省略する。本実施例の“1”状態におけるメモリセルのしきい値電圧を負に設定すれば、メモリセルはワード線の電位を接地電位 V_{ss} (例えば0V)にしても、“1”状態ならば電流が流れ、

“0”状態ならば電流が流れないため、図9あるいは図10で示した読み出し方法において、全てのワード線を V_{ss} (例えば0V)に接地しても、メモリセルの状態をビット線電流を検知することでデータを読みだせる。すなわち選択ソース線S2を読み出し中間電位 V_{rm} (例えば1V)し、非選択ソース線S1、Smを接地電位 V_{ss} にし、選択ビット線をセンスアンプを介し接地電位 V_{ss}

にし、非選択ビット線を読み出し中間電位 V_{rm} にすることでソース線とビット線で選択したメモリセルを読み出すことができるのである。この方法では、読み出し時にワード線電位の変動がなく一層の低消費電力化と低電源電圧化が可能である。なお、上記読みだし方法では選択ソース線の電位を読み出し中間電位 V_{rm} (例えば1V)としたが、読み出し電源電圧 V_{cc} としてもよい。

【0063】また、上記読みだし方法では選択ビット線の電位をセンスアンプを介して接地電位 V_{ss} にしたが、センスアンプがリファレンス電位を必要の場合には選択ビット線の電位を接地電位 V_{ss} より大きく読み出し中間電位より小さくしてもよい。

【0064】次に、本実施例においてホットエレクトロンによる書き込み方法について説明する。本実施例では、ソース線からでなければメモリセルにチャネル電流を流せないように構成されている。そこで、選択ワード線を高電位に、非選択ワード線を接地電位にし、選択ソース線を高電位に、非選択ソース線を接地電位またはフローティングにし、選択ビット線を接地電位にし、非選択ソース線を高電位にすることで選択したメモリセルのソース側からドレイン側に電流を流すことでホットエレクトロンを発生させ、書き込むことができる。

【0065】次に、ワード線の電位を接地電位にしたまま書き込む方法について説明する。本実施例の“1”状態におけるメモリセルのしきい値電圧を負に設定すれば、メモリセルはワード線の電位を接地電位 V_{ss} (例えば0V)にしても電流が流れる。ワード線を接地電位にしたまま選択ソース線を高電位に、非選択ソース線を接地電位に、選択ビット線を接地電位に、非選択ビット線を高電位あるいはフローティングにすることで選択したメモリセルにホットエレクトロンを発生させ、“1”状態のメモリセルを“0”状態に変化させることができる。

【0066】なお、上記ワード線の電位を接地電位にしたまま書き込む方法を過剰にデプレッション化したメモリセルのしきい値電圧を高く戻すために用いてもよい。

【0067】なお、本実施例ではソース側にダイオードDを設けたため、ドレインとフローティングゲート間に高電界を発生させやすく、上述のようなホットエレクトロンによる方法よりも、従来のフラッシュ型EEPROMにおけるF-N電流による書き込み方法が好ましい。

【0068】(第3実施例)次に、第3実施例について、図11(a)～(c)及び図12を参照しながら説明する。図11(a)～(c)は、第3実施例における半導体記憶装置のメモリセルの製造工程を示すものである。図11(a)～(c)において、30はn+層、31はレジスト、33はp層である。図11(a)に示す状態は、図2(a)に示す状態と同様にスタック型フローティングゲート構造を形成したものである。そして、この状態の基板上にレジスト31を塗布し、ダイオード

を形成する領域を残して開口し、BF₂+イオン注入32を行いp層33を形成する(図11(b)参照)。BF₂+イオン注入は大傾角で行うことが望ましく、例えば45度、60KeV、6E12atoms/cm²の条件で行う。ただし、この条件に限定されるものではない。次に、図11(c)に示す工程では、As⁺イオン注入を行って高濃度n+層30を形成する。メモリのソース、ドレインとなる2つのn+層30、30のうち1つのn+層30の内方に低濃度の不純物をドーピングしたp層33を形成したことで、この部分の空乏層の拡がりが増えられ、ソースドレイン間にダイオードを形成したのと同様の作用が生じる。図12は、上記一方のみに低濃度のp層33を形成したメモリの電圧-電流特性をシミュレーションしたものである。縦軸はメモリの動作電流、横軸はゲート(フローティングゲート)電圧である。ゲート長は0.5ミクロンでp層の濃度は1E18atoms/cm³であり、オフセット状態にはなっていない、ドレイン-ソース間電圧は1Vである。同図において、実線はp層33と隣接するn+層30の側を高電位にした場合の電圧-電流特性を示し、点線はp層33と隣接するn+層30側を低電位にした場合の電圧-電流特性を示す。同図に示すように、順方向と逆方向では電流値が1桁以上異なっていることがわかる。したがって、本実施例におけるメモリの構造も、便宜上n+層30の側にダイオードを付設してなる構造で表すことができる。ただし、実際には、ソースドレイン間にダイオードに相当する部分が介在した構造となっている。

【0069】なお、p層33の濃度を濃くしてn+層30がオフセットになってもよい。図11のメモリの例は図6のメモリの例よりもサイドウォール工程が必要ないという特徴がある。

【0070】(第4実施例)次に、第4実施例について、図13(a)~(c)及び図14(a)、(b)を参照しながら説明する。図13(a)~(c)及び図14(a)、(b)は第4実施例における半導体記憶装置のメモリの製造工程を示すものである。図13

(a)に示す状態では、図2(a)に示す状態と同様にスタック型フローティングゲート構造となっている。この状態でレジストを形成しダイオードDを形成する領域にP⁺イオン注入を行ない、所望の濃度に調整したn-層9を形成し(図13(b)参照)、次にダイオードDを形成しない領域にAs⁺イオン注入を行って高濃度のn+層21を形成する(図13(c)参照)。次に、保護膜としてSiO₂膜22をCVD法により堆積し(図14(a)参照)、ダイオードDを形成する領域にSiO₂膜22をエッチバックしダイオードDを形成する領域のゲート側壁にサイドウォール28を残す(図14(e)参照)。この状態で、レジスト31を塗布し、ダイオードを形成する領域を開口し、BF₂+イオン注入を行いp層61を形成する。図14(b)に示すメモリ

セルは従来のスタック型フローティングゲート構造メモリのソースまたはドレイン領域に相当する領域にPNダイオードが形成されているが、メモリの面積を増加させることはない。

【0071】この場合には、ダイオード特性が得られ、この構造を有するメモリセルは、図14(b)の右側に示すようなソース又はドレインに隣接してダイオードが付設されたメモリセルとして表現できる。

【0072】(第5実施例)次に、第5実施例について、図15、図16(a)、(b)、図17(a)、(b)、図18及び図19に基づき説明する。

【0073】本実施例における半導体記憶装置のブロック回路図は、図31に示した従来の不揮発性メモリセルを搭載した半導体記憶装置のブロック回路図と同一であり説明は省略する。図15は第4実施例に係るフラッシュ型EEPROMのメモリセルアレイの一部を示す回路図である。本実施例は第1実施例の構造を高集積に実現するために改良したものである。本実施例では、図15に示したように、例えば2個のメモリセル(T21a)、(T21b)の各々のドレインにはダイオードD21a、D21bの一端がそれぞれ1個ずつ接続され、それぞれのダイオードD21a、D21bの他端は共通の配線を介して共通のビット線B1に接続されている。また、メモリセル(T21a)のソースはソース線S2に接続され、メモリセル(T21b)のソースはソース線S3に接続されている。すなわち、1対のメモリセル(T21a)、(T21b)のソースは個別のソース線S2、S3に接続される一方、ドレインは共通のビット線に接続されている。また、この1対のメモリセル(T21a)、(T21b)が接続されるビット線B1上で各メモリセル(T21a)、(T21b)の隣接領域にはメモリセルは配置されていない。そして、ビット線B2に対し、各1対のメモリセル(T12a)、(T12b)及び(T32a)、(T32b)が2ビット分の間隔を隔てて配置されている。メモリセル(T12a)、(T12b)の各ドレインは各々ダイオードD12a、D12bを介して共通のビット線B2に接続され、メモリセル(T12b)のソースは、メモリセル(T21a)と共通のソース線S2に接続されている。一方の1対のメモリセル(T32a)、(T32b)の接続状態も同様である。

【0074】以上の結果、ソース線S1、S3の間に2本のワード線W1a、W1bを、ソース線S2、S3の間に2本のワード線W2a、W2bを配置し、ビット線B1~B3は、ワード線とソース線とに垂直に交差するように配置する。そして、これらの配線で形成される行列上の領域に、2ビット一組のメモリセル(T)がチェッカー模様状に配置されている。なお、各メモリセル(T)のゲートはワード線Wに接続され、NOR型にメモリセルを配置している。また、ワード線W1a、W1b~W3a、W3bはそれぞれロウデコーダRD1a、RD1b~RD3a、RD

3bに、ソース線S1～S3はそれぞれソースデコーダSD1～SD3に、ビット線B1～B3はそれぞれ列選択用トランジスタST1～ST316を介してセンスアンプSA1～SA3に接続されカラムデコーダに接続されている。

【0075】本実施例では、読み出し方法は第1実施例と同様の方法で読み出す。図16(a)に示すようにメモリセル(T21a)などを1ビット単位で読み出すか

(矢印参照)、あるいは図16(b)に示すように1本のワード線W2aに接続される全てのメモリセルを一括読み出しする(矢印参照)。1本のワード線上の全メモリセルの一括読み出し方法ではデータがビット線の1本おきに出力される。また、本実施例では、図16(c)に示すように、あるソース線S2の両側に配置される2本のワード線W1b、W2aを同時に選択して、メモリセル(T12b)とメモリセル(T21a)などの2ビット単位で読み出すことができる(矢印参照)。また、図16(d)に示すように2本のワード線W1b、W2aに接続される全てのメモリセルを一括読み出しすることもできる(矢印参照)。2本のワード線上の全メモリセルの一括読み出し方法ではデータが全てのビット線から出力されるが、その場合にはセンスアンプは全てのビット線に配置されている必要がある。

【0076】なお、本実施例では、各メモリセルの対をチェッカー模様上に配置したが、1対のメモリセルのドレインを共通のビット線に接続する場合に、必ずしもこのような構成に限定されるものではない。例えば、各ワード線間に互いに隣接してソース線を設けるのであれば、各1対のメモリトランジスタを行列状に隙間なく配置してもよい。

【0077】次に、本実施例におけるメモリセル(T)の構造について説明する。図17(a)はビット線に平行な方向の断面における縦断面図、図17(b)は平面図である。また、図18は平面図においてフローティングゲートのパターンニングを示したものである。図19はメモリセル単体のワード線方向に平行な断面における縦断面図である。各図において、1は半導体基板、2はトンネルSiO₂膜、3はフローティングゲート、4は容量絶縁膜、5はコントロールゲート、6はSiO₂膜、22はSiO₂膜、27はオフセットドレイン、28はサイドウォール、30はソース、51は素子分離、52はソース配線、53は保護絶縁膜、54は層間絶縁膜、55はビット配線、56はソース線コンタクト、57はビット線コンタクト、58は活性領域、59はパターンニング後のフローティングゲートである。図18に示すように、長辺方向がデザインルールLの5倍で短辺方向がデザインルールLの長方形の活性領域58を折り重なるように形成し、フローティングゲート59は上記活性領域58の長辺方向に直線状にパターンニングする(第1回目のパターンニング)。図17(b)に示すように、ワ

ード線であるコントロールゲート5はデザインルールのラインとスペースで等間隔にパターンニングされ、その際、容量絶縁膜4とフローティングゲート3とトンネルSiO₂膜2とを自己整合的にエッチングする(フローティングゲートの第2回目のパターンニング)。ソース30をイオン注入により形成した後、SiO₂膜の堆積、エッチバックによりサイドウォールを形成した後、イオン注入によりオフセットドレイン27を形成する。その上に配線材料とSiO₂膜53を堆積し、ソース配線52をパターンニングする。層間絶縁膜54を堆積した後これをエッチバックして、ビットコンタクト57のためのコンタクトホールをオーバーサイズで開口する。その上に配線材料を堆積し、ビット配線55をパターンニングする。図17(b)の平面図に示すように、メモリセルのチャネル幅方向はビット線のデザインルールとビットコンタクト57のマスクの合わせマージンにより律速されている。図19に示すように、メモリセル単体のワード線に平行な断面における構造では、活性領域に対してフローティングゲート3が非対称形となっている。このことは上記フローティングゲート3を上記活性領域58の長辺方向に直線状にパターンニングしたことと起因するので、デザインルールが小さくなるほど直線状の方がパターンニングしやすく、微細化できる利点がある。

【0078】なお、図17(a)、(b)等に示すレイアウトはマスクの合わせマージンをデザインルールの半分と仮定しており、セル面積はデザインルールの二乗の1.1倍になっているが、マスクの合わせマージンは露光技術に依存するものであり、デザインルールの半分に限定しなくてもよい。

【0079】なお、図17(a)、(b)等に示すメモリセルは、上記図6に示したオフセット領域を内蔵した構造を有するフローティングゲートメモリセル(第2実施例)を用いているが、これに限定するものではなく、第1、第3、第4実施例に示す構造のメモリセルを用いてもよい。

【0080】また、本実施例において、活性領域58を長方形としたが、露光技術などの必要に応じて部分的に変形してもよい。

【0081】さらに、本実施例において、フローティングゲート3とコントロールゲート5とソース配線52は直線状であるとしたが、露光技術などの必要に応じて部分的に変形してもよい。

【0082】また、本実施例においてソース配線52は配線材料であるとしたが、拡散層で形成してもよい。

【0083】(第6実施例)次に、第6実施例の半導体記憶装置及びその読み出し方法について、図20、図21(a)～(d)及び図22を参照しながら説明する。本実施例の半導体記憶装置のブロック回路図は、図31に示した従来の不揮発性メモリセルを搭載した半導体記憶装置のブロック図と同一であり説明は省略する。図2

0は本実施例に係るフラッシュ型EEPROMのメモリセルアレイの一部を示す回路図である。図20に示すように、配線の接続構造やメモリセルの配置状態は、基本的に上記第5実施例(図15参照)と同じである。ただし、本実施例では、各メモリセル(T)のソースとソース線S1~S3との間にダイオードDを介した点のみが異なる。

【0084】本実施例では、読み出し方法は、上述の第2実施例と同様の方法で読み出す。図21(a)に示すようにメモリセル(T21a)などを1ビット単位で読み出すか(矢印参照)、あるいは図21(b)に示すように1本のワード線W2aに接続される全てのメモリセルを一括読み出しする(矢印参照)。1本のワード線上の全メモリセルの一括読み出し方法ではデータがビット線の1本おきに出力される。また本実施例では、図21(c)に示すように2本のワード線W1b、W2aを同時に選択して、メモリセル(T12b)とメモリセル(T21a)などの2ビット単位で読み出すことができる(矢印参照)。また、図21(d)に示すように2本のワード線W1b、W2aを一括読み出しすることもできる(矢印参照)。2本のワード線一括読み出し方法ではデータが全てのビット線から出力される。また一括で読み出す場合にはセンスアンプは全てのビット線に配置されている必要がある。

【0085】図22は本実施例のメモリセルのビット線に平行な断面における構造を示す縦断面図である。本実施例の構造は第5実施例の構造(図17参照)と同じ部材は同じ符号を付して、説明を省略する。図22に示す構造は、ソース側にダイオード構造を設けたものである点だけが図17に示す構造と異なる。なお、平面図とメモリセル単体のワード線に平行な断面における構造は第5実施例と同様なので図示を省略する。

【0086】なお、本実施例では図6に示したオフセット領域を内蔵する構造のフローティングゲートメモリセル(第2実施例)を採用したが、これに限定するものではなく、第1、第3、第4実施例の構造を適用することができる。

【0087】(第7実施例)次に、第7実施例の半導体記憶装置について、図23~図26を参照しながら説明する。本実施例における半導体記憶装置のブロック回路図は、図31に示した従来の不揮発性メモリセルを搭載した半導体記憶装置のブロック回路図と同一であり説明は省略する。図23は、本発明の第7実施例に係るフラッシュ型EEPROMのメモリセルアレイの一部を示す回路図である。図24及び図25は半導体記憶装置の駆動方法を説明する図である。図26(a)は、メモリセルのビット線に平行な断面における構造を示す縦断面図、図26(b)はその平面図を示す。本実施例は第1実施例を折り返しビット線構造にしたものである。本実施例では、図23に示すように、各1対のメモリセルを

チェッカー模様状に配置した構造及び1つのメモリセルのドレインをダイオードを介して共通のビット線に接続した点は、上記第5実施例で説明した図15の構造と同じである。ただし、本実施例では、図15における1本のソース線(例えばS2)の代わりにそれぞれ2本のソース線(例えばS2a、S2b)を配置し、各々にソースデコーダ(例えばSD2a、SD2b)を配置している。そして、メモリセル(T12b)とメモリセル(T21a)のソースとは、各々別のソース線S1b、S2aに接続されている。また、各ビット線には、2ビット1組のダミーセルが配置されている。例えば、ビット線B2には、1つのダミーセル(Tr1、Tr2)が配置されており、各ダミーセル(Tr1)、(Tr2)のドレインはそれぞれダイオードDr1、Dr2を介して共通のビット線B2に接続されている。また、各ダミーセル(Tr1)、(Tr2)のソースは個別のソース線Sr1、Sr2に接続され、各ソース線Sr1、Sr2の先端にはソースデコーダSDr1、SDr2が配置されている。さらに、各ダミーセル(Tr1)、(Tr2)のゲートはそれぞれワード線Wr1、Wr2に接続され、各ワード線Wr1、Wr2の先端にはそれぞれロウデコーダRDr1、RDr2が配設されている。

【0088】本実施例では、読み出し方法は第2実施例と同様の方法で読み出す。図24に示すように、例えばメモリセル(T21a)を1ビット単位で読み出す場合はビット線B1がメモリセル(T21a)を読み出し、ビット線B2がダミーセル(Tr1)を読み出す。また、図25に示すように、例えば1本のワード線W2aに接続される全てのメモリセルを一括読み出す場合は、ビット線B1、B3などを介してメモリセルを読み出し、ビット線B2、B4などを介してダミーセルを読み出す。

【0089】次に、図26(a)、(b)を参照しながら、本実施例の半導体記憶装置のメモリセルの構造について説明する。本実施例のメモリセルの構造は図17(a)、(b)に示した第5実施例のメモリセルの構造とほとんど同じであり、図17(a)、(b)における符号と同じ符号を付した部材は同じ部材を示す。第5実施例では2本のワード線につき1本のソース線を配置しているのに対し、第7実施例では2本のワード線につき2本のソース線を配置している点が異なり、本実施例のメモリセルの構造では第5実施例のメモリセルに比べてセル面積は増大する。しかし、本実施例の折り返しビット線構造の方が一般にセンスアンプの感度が高くできるという特徴がある。

【0090】なお、図26(a)、(b)に示すレイアウトはマスクの合わせマージンをデザインルールの半分と仮定しており、セル面積はデザインルールの二乗の1.6、5倍になっているが、マスクの合わせマージンは露光技術に依存するものであり、デザインルールの半分に限定しなくてもよい。

【0091】また、本実施例では図6に示したオフセット領域を内蔵するフローティングゲートメモリーセル（第2実施例）を採用したが、これに限定するものではなく、第1、第3、第4実施例に示したメモリーセルの構造を適用できる。

【0092】さらに、本実施例においてフローティングゲート3とコントロールゲート5とソース配線52は直線状であるとしたが、露光技術などの必要に応じて部分的に変形してもよい。

【0093】また、本実施例においてソース配線52は配線材料であるとしたが、拡散層で形成してもよい。

【0094】（第8実施例）次に、第8実施例の半導体記憶装置について、図27～図30を参照しながら説明する。本実施例における半導体記憶装置のブロック回路図は図31に示した従来の不揮発性メモリーセルを搭載した半導体記憶装置のブロック回路図と同一であり説明は省略する。図27は本実施例に係るフラッシュ型EEPROMのメモリーセルアレイの一部を示す回路図である。本実施例におけるメモリーセルアレイの構造は、基本的には、上記第7実施例における構造と同じであるが、ダイオードがメモリーセルのソース側に介設されている点のみが異なる。

【0095】本実施例では、読み出し方法は第2実施例と同様の方法で読み出す。図28に示すように、例えばメモリーセル（T21a）を1ビット単位で読み出す場合はビット線B1を介してメモリーセル（T21a）を読み出し、ビット線B2を介してダミーセル（T_{rd}）を読み出す。また、図29に示すように、例えば1本のワード線W2aに接続された全てのメモリーセルを一括読み出す場合はビット線B1、B3などを介してメモリーセルを読み出し、ビット線B2、B4などを介してダミーセルを読み出す。

【0096】次に、図30を参照しながら、本実施例のメモリーセルの構造について説明する。本実施例のメモリーセル構造は図22に示した第6実施例のメモリーセルの構造とほとんど同じである（同じ符号は同じ部材を示す）が、第6実施例では2本のワード線につき1本のソース線を配置していたのに対し、本実施例では2本のワード線につき2本のソース線を配置しており、セル面積は増大する。しかし、本実施例の折り返しビット線構造の方が一般にセンスアンプの感度が高くできると言う特徴がある。

【0097】なお、図30に示すレイアウトはマスクの合わせマージンをデザインルールの半分と仮定しており、セル面積はデザインルールの二乗の16.5倍になっているが、マスクの合わせマージンは露光技術に依存するものであり、デザインルールの半分に限定しなくてもよい。

【0098】なお、本実施例では図6に示したオフセット領域を内蔵するフローティングゲートメモリーセル

（第2実施例）を採用したが、これに限定するものではなく、第1、第3、第4実施例に示したメモリーセルの構造を適用できる。

【0099】

【発明の効果】以上説明したように、請求項1～5の発明によれば、メモリーセルを行列状に配置したアレイにおいて、ビット線—ソース線間の各経路にメモリーセルのトランジスタと電流の方向によって電圧—電流特性が異なる異方向抵抗部とを直列に接続する構成としたので、誤読み出しの防止と消費電力の低減とを図ることができる。

【0100】請求項6の発明によれば、請求項1の発明において、各1対のメモリーセルを共通のビット線に接続するとともに、2本のワード線に対してソース線を1本だけ配置する構成としたので、集積度の顕著な向上を図ることができる。

【0101】請求項7の発明によれば、請求項6の発明において、ダミーセルを設け折り返しビット線構造としたので、センスアンプの感度を高く設定することができ、よって、誤読み出しの防止効果を顕著に発揮することができる。

【0102】請求項8～10の発明によれば、各請求項の発明の構造を利用した半導体記憶装置の駆動方法として、読みだし時には、非選択メモリーセルのビット線とソース線との電位関係が異方向抵抗部の逆方向となるように設定するようにしたので、非選択メモリーセルにおけるリーク電流の低減により、誤読み出しの防止と消費電力の低減とを図ることができる。

【0103】請求項11の発明によれば、請求項1の発明の構造を利用してホットエレクトロンの注入を利用した書き込みを行うようにしたので、メモリーセルへの書き込みとデプレッション化したメモリーセルの回復との円滑化を図ることができる。

【図面の簡単な説明】

【図1】第1実施例に係るメモリーセルアレイの電気回路図である。

【図2】第1実施例に係るメモリーセルの製造工程のうちn+層を形成するまでの工程における構造の変化を示す縦断面図である。

【図3】第1実施例に係るメモリーセルの製造工程のうちSiO₂膜の形成後ショットキーダイオードを形成するまでの工程における構造の変化を示す縦断面図である。

【図4】第1実施例に係るメモリーセルアレイの1ビット読み出し動作を示す電気回路図である。

【図5】第1実施例に係るメモリーセルアレイの1本のワード線上の全メモリーセルの一括読み出し動作を示す電気回路図である。

【図6】第2実施例に係るメモリーセルの製造工程における構造の変化を示す縦断面図である。

【図7】第2実施例に係るメモリセルの電圧-電流特性のシミュレーション結果を示す図である。

【図8】第2実施例に係るメモリセルアレイの電気回路図である。

【図9】第2実施例に係るメモリセルアレイの1ビット読み出し動作を示す電気回路図である。

【図10】第2実施例に係るメモリセルアレイの1本のワード線上の全メモリセルの一括読み出し動作を示す電気回路図である。

【図11】第3実施例に係るメモリセルの製造工程における構造の変化を示す縦断面図である。

【図12】第3実施例に係るメモリセルの電圧-電流特性のシミュレーション結果を示す図である。

【図13】第4実施例に係るメモリセルの製造工程のうち $n+$ 層を形成するまでの工程における構造の変化を示す縦断面図である。

【図14】第4実施例に係るメモリセルの製造工程のうち SiO_2 膜の形成後PNダイオードを形成するまでの工程における構造の変化を示す縦断面図である。

【図15】第5実施例におけるメモリセルアレイの電気回路図である。

【図16】第5実施例におけるメモリセルアレイの読み出し動作を示す電気回路図である。

【図17】第5実施例に係るメモリセルのビット線に平行な断面における構造を示す縦断面図及び平面図である。

【図18】第5実施例に係るメモリセルのフローティングゲートの第1回目のバターンニング後における状態を示す平面図である。

【図19】第5実施例に係るメモリセルのワード線に平行な断面における構造を示す縦断面図である。

【図20】第6実施例に係るメモリセルアレイの電気回路図である。

【図21】第6実施例に係るメモリセルアレイの読み出し動作を示す電気回路図である。

【図22】第6実施例に係るメモリセルのビット線に平行な断面における構造を示す縦断面図である。

【図23】第7実施例に係るメモリセルアレイの電気回路図である。

【図24】第7実施例に係るメモリセルアレイの1ビット単位の読み出し動作を示す電気回路図である。

【図25】第7実施例に係るメモリセルアレイのワード線上の全メモリセルの一括読み出し動作を示す図である。

【図26】第7実施例に係るメモリセルのビット線に平行な断面における構造を示す縦断面図及び平面図である。

【図27】第8実施例に係るメモリセルアレイの電気回路図である。

【図28】第8実施例に係るメモリセルアレイの1ビット単位の読み出し動作を示す電気回路図である。

【図29】第8実施例に係るメモリセルアレイのワード線上の全メモリセルの一括読み出し動作を示す電気回路図である。

【図30】第8実施例に係るメモリセルのビット線に平行な断面における構造を示す縦断面図である。

【図31】従来の半導体記憶装置全体の概略構成を示すブロック図である。

【図32】従来のメモリセルアレイの電気回路図である。

【図33】従来のメモリセルアレイの読み出し動作を示す電気回路図である。

【符号の説明】

W	ワード線
B	ビット線
S	ソース線
D	ダイオード
SA	センスアンプ
ST	列選択用トランジスタ
SD	ソースデコーダ
RD	ロウデコーダ
1	半導体基板
2	トンネル SiO_2 膜
3	フローティングゲート
4	容量絶縁膜
5	コントロールゲート
6	SiO_2 膜
7	レジスト
9	n -層
10	レジスト
21	$n+$ 層
22	SiO_2 膜
28	サイドウォール
25	WSix 膜
101	メモリセルアレイ
102	ロウデコーダ回路
103	カラムデコーダ回路
104	ソースデコーダ回路

【手続補正2】

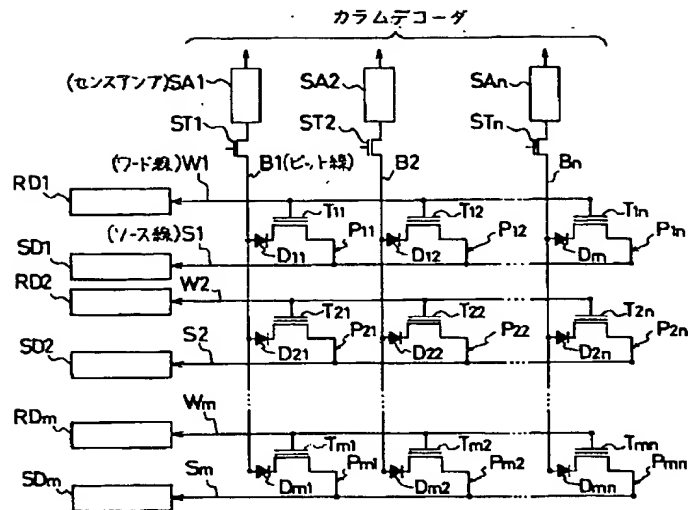
【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】



【手続補正3】

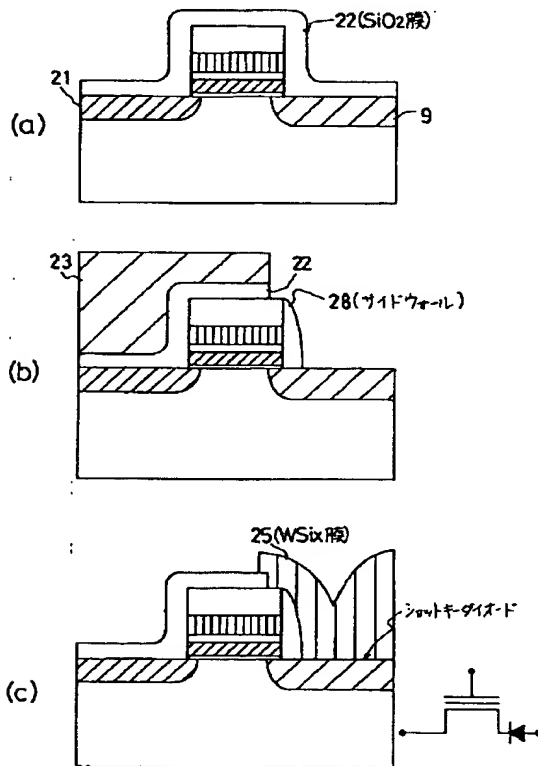
【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】



【手続補正4】

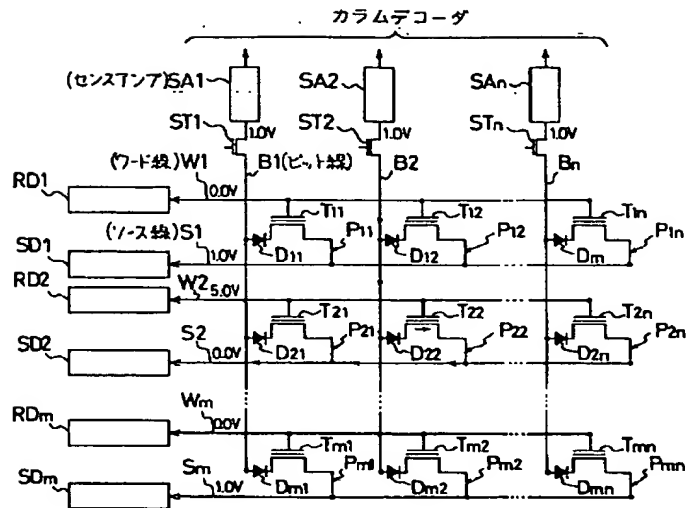
【補正対象書類名】図面

【補正対象項目名】図4

【補正方法】変更

【補正内容】

【図4】



【手続補正5】

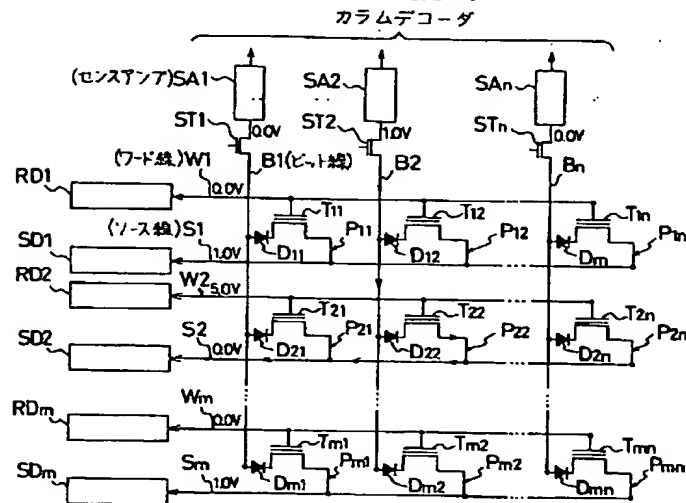
【補正対象書類名】図面

【補正対象項目名】図5

* 【補正方法】変更

【補正内容】

* 【図5】



【手続補正6】

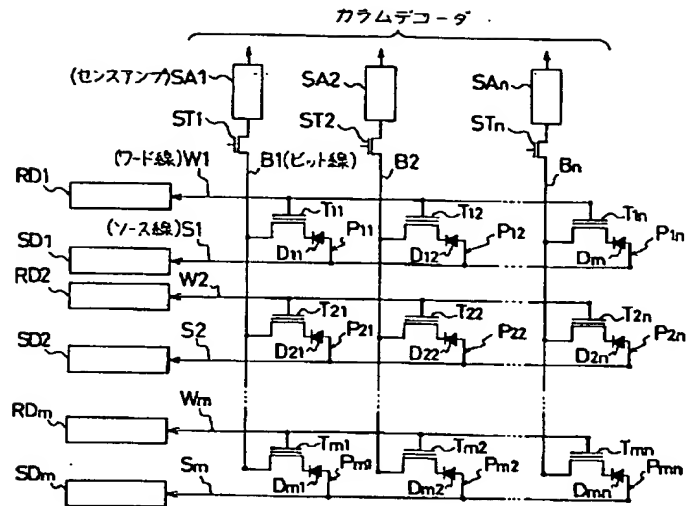
【補正対象書類名】図面

【補正対象項目名】図8

【補正方法】変更

【補正内容】

【図8】



【手続補正7】

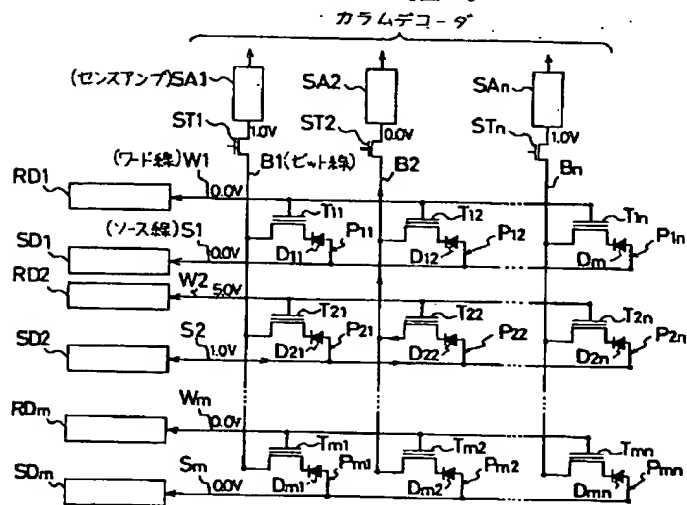
【補正対象書類名】図面

【補正対象項目名】図9

* 【補正方法】変更

【補正内容】

* 【図9】



【手続補正8】

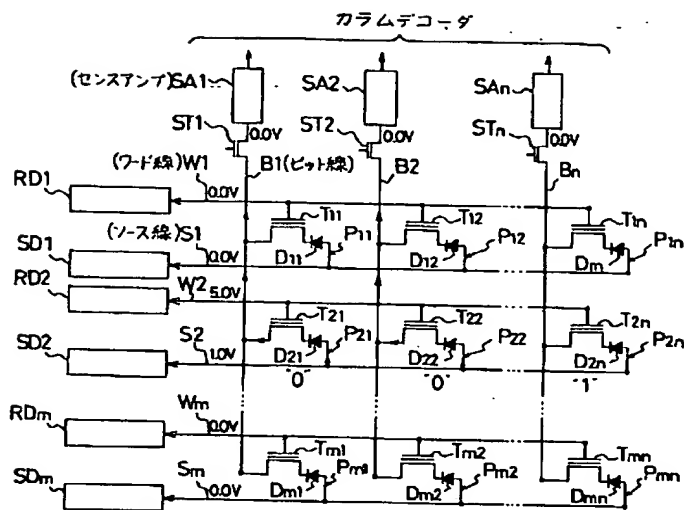
【補正対象書類名】図面

【補正対象項目名】図10

【補正方法】変更

【補正内容】

【図10】



【手続補正 9】

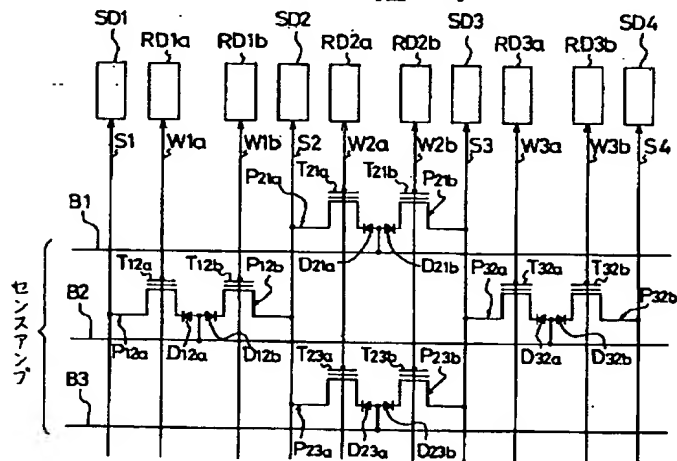
【補正対象書類名】図面

【補正対象項目名】図 15

* 【補正方法】変更

【補正内容】

* 【図 15】



【手続補正 10】

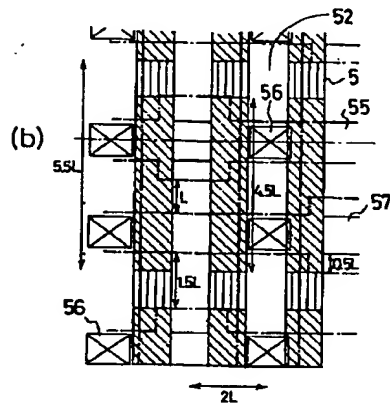
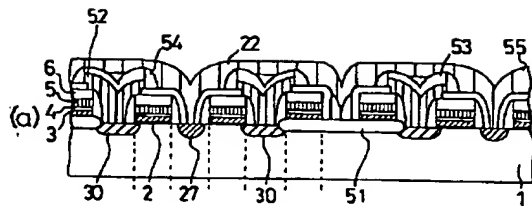
【補正対象書類名】図面

【補正対象項目名】図 17

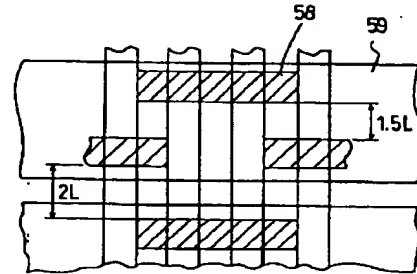
【補正方法】変更

【補正内容】

【図 17】



セル面積 $= 2 \times 5.5 \times L \times L$



*【手続補正 1 1】

【補正対象書類名】図面

【補正対象項目名】図 1 8

【補正方法】変更

【補正内容】

【図 1 8】

【手続補正 1 2】

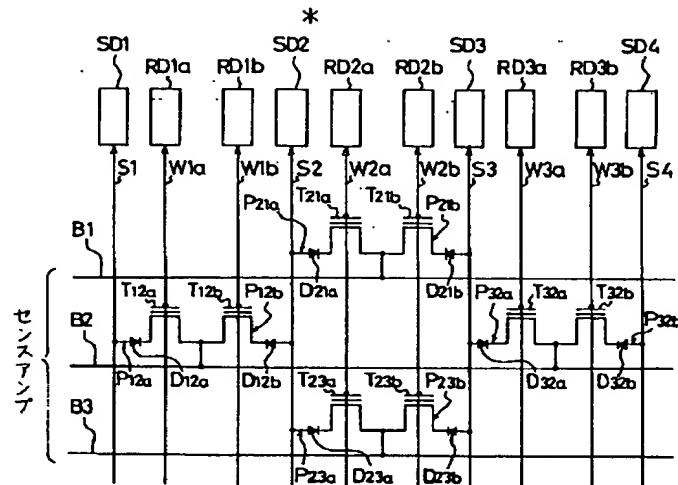
【補正対象書類名】図面

【補正対象項目名】図 2 0

【補正方法】変更

【補正内容】

【図 2 0】



【手続補正 1 3】

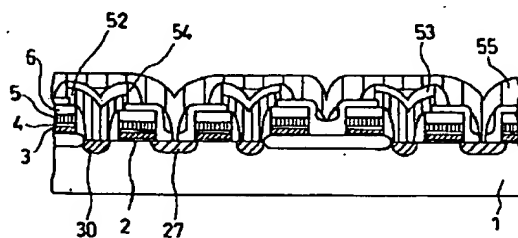
【補正対象書類名】図面

【補正対象項目名】図 2 2

【補正方法】変更

【補正内容】

【図 2 2】



【手続補正 1 4】

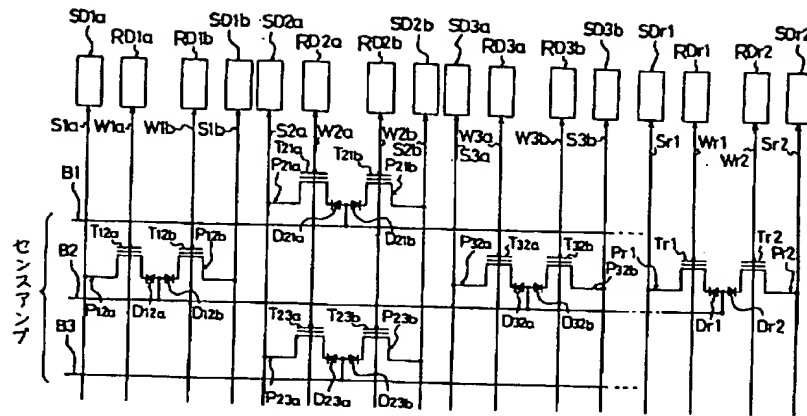
【補正対象書類名】図面

【補正対象項目名】図 2 3

【補正方法】変更

【補正内容】

* * 【図 2 3】



【手続補正 1 5】

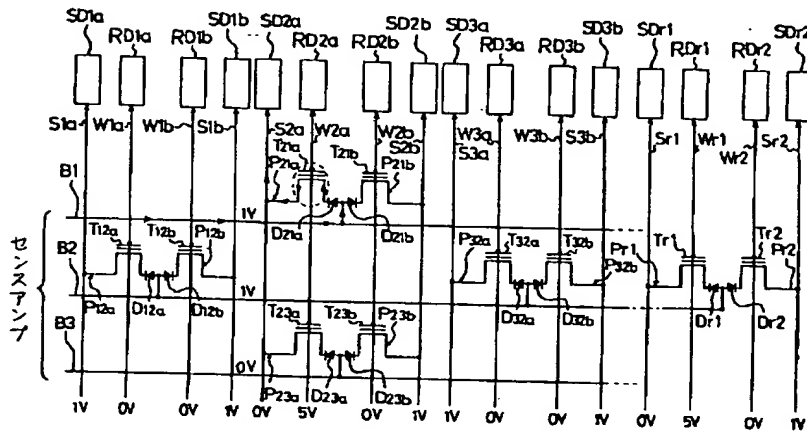
※ 【補正方法】変更

【補正対象書類名】図面

【補正内容】

【補正対象項目名】図 2 4

※ 【図 2 4】



【手続補正 1 6】

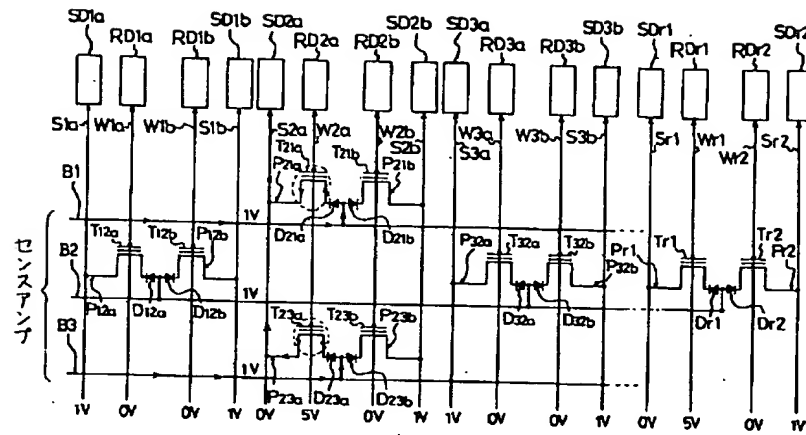
【補正方法】変更

【補正対象書類名】図面

【補正内容】

【補正対象項目名】図 2 5

【図 2 5】



【手続補正 17】

【補正対象書類名】図面

【補正対象項目名】図 2 6

【補正方法】変更

【補正内容】

【図 2 6】

【手続補正 18】

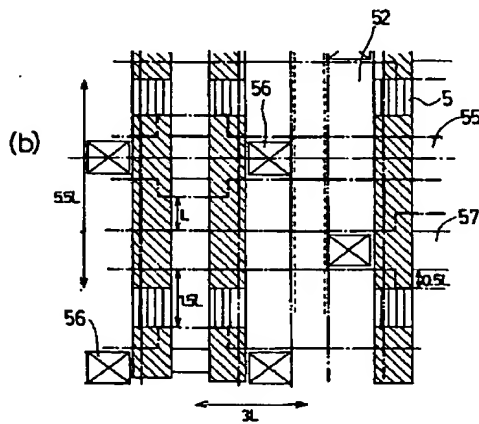
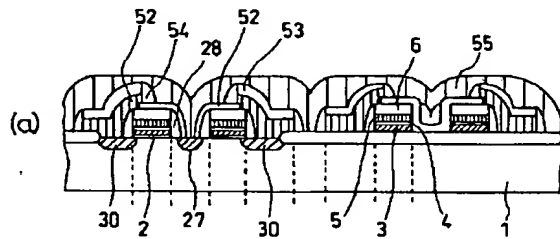
【補正対象書類名】図面

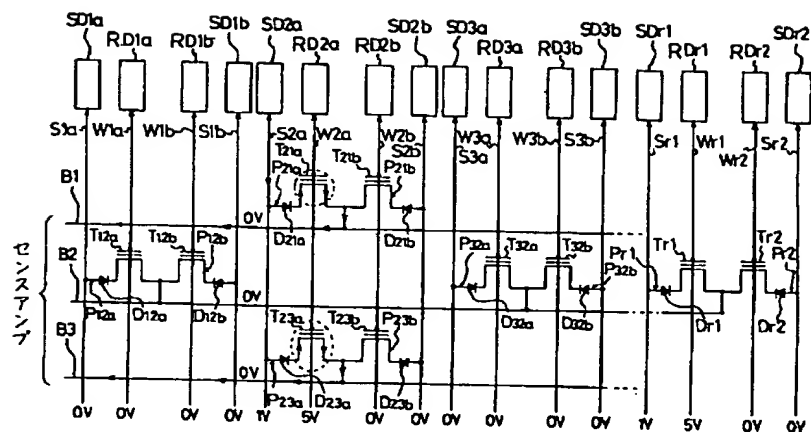
【補正対象項目名】図 2 7

【補正方法】変更

【補正内容】

【図 2 7】

セル面積 = $3 \times 5.5 \times L \times L$



【手続補正21】

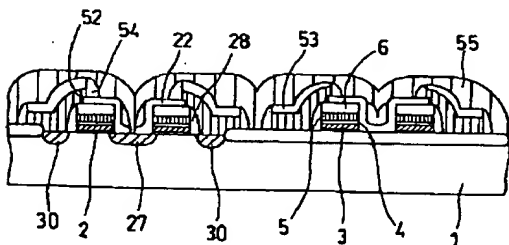
【補正対象書類名】図面

【補正対象項目名】図30

【補正方法】変更

【補正内容】

【図30】



*【手続補正22】

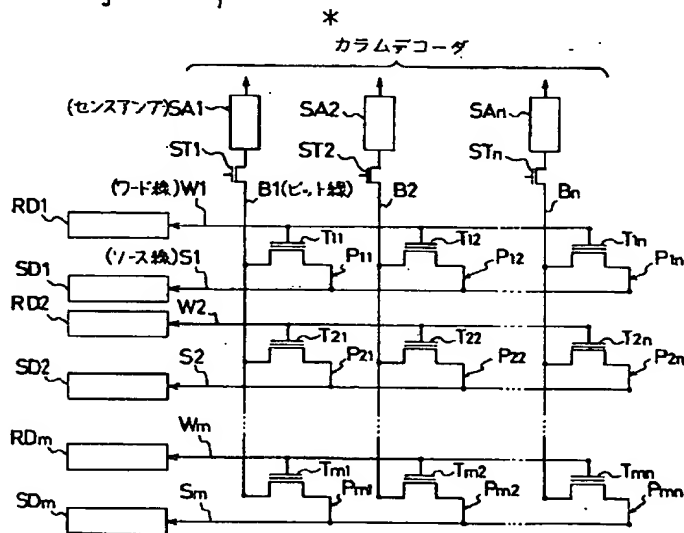
【補正対象書類名】図面

【補正対象項目名】図32

【補正方法】変更

【補正内容】

【図32】



【手続補正23】

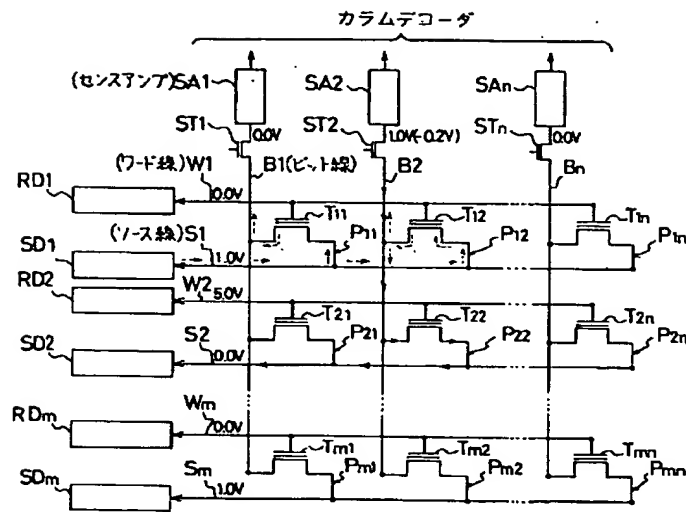
【補正対象書類名】図面

【補正対象項目名】図33

【補正方法】変更

【補正内容】

【図33】



フロントページの続き

(51)Int.Cl.⁶

H01L 27/115

21/8247

29/788

29/792

識別記号

片内整理番号

F I

技術表示箇所

G11C 17/00

520 A C15-21

H01L 27/10

434

29/78

371

(72)発明者 森 俊樹

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 中尾 一郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内